

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-161476

(43)Date of publication of application : 20.06.1997

(51)Int.Cl.

G11C 11/401
G11C 29/00
H01L 27/108
H01L 21/8242

(21)Application number : 08-278881

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.09.1996

(72)Inventor : TODA HARUKI

(30)Priority

Priority number : 07257735

Priority date : 04.10.1995

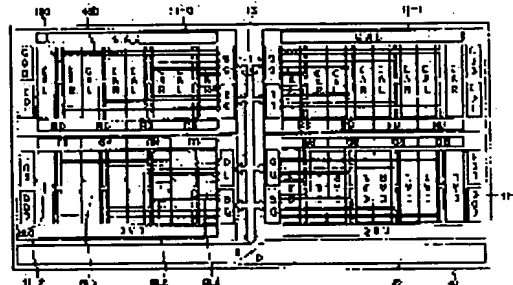
Priority country : JP

(54) SEMICONDUCTOR MEMORY, ITS TESTING CIRCUIT AND DATA TRANSFER SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the data transfer speed of a memory without increasing the chip area.

SOLUTION: Banks 11-0-11-3 are arranged in a matrix on a memory chip 10. A data input/output circuit 12 is arranged along one side of the memory chip 10. A data bus 13 is arranged between banks and is connected to a data input/output circuit 12. In each bank, a cell array controller CA and a row decoder RD are opposed to each other and column decoders CD0 and CD1 and a DQ buffer DQ are opposed to each other. A local DQ line 18a is arranged between memory cell arrays CAL and CAR and a global DQ line 18b is arranged between memory cell arrays CAL and CAR. The direction where the local DQ line 18a is extended is vertical to the direction where the global DQ line 18b is extended.



LEGAL STATUS

[Date of request for examination] 13.09.2000

[Date of sending the examiner's decision of rejection] 16.03.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(J P)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平9-161476

(43)公開日 平成9年(1997)6月20日

(51)IntCl ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/401			G 1 1 C 11/34	3 6 2 C
29/00	8 0 8		29/00	3 0 8 B
H 0 1 L 27/108			11/34	3 0 2 H
21/8242			H 0 1 L 27/10	6 8 1 E
				6 9 1

審査請求 未請求 請求項の数84 F D (全 40 頁)

(21)出願番号 特願平8-278881

(22)出願日 平成8年(1996)9月30日

(31)優先権主張番号 特願平7-257735

(32)優先日 平7(1995)10月4日

(33)優先権主張国 日本(J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 戸田 裕吾

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

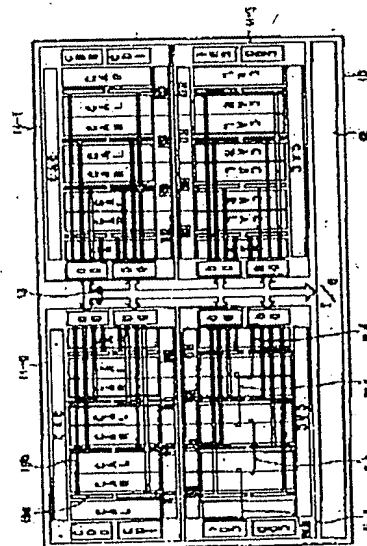
(74)代理人 弁護士 錦江 武彦 (外8名)

(54)【発明の名称】 半導体メモリ及びそのテスト回路、並びにデータ転送システム

(57)【要約】

【課題】 チップ面積の増大なく、メモリのデータ転送速度を高める。

【解決手段】 バンク11-0~11-3は、メモリチップ10上にマトリックス状に配置される。データ入出力回路12は、メモリチップ10の一辺に沿って配置される。データバス13は、バンク間に配置され、データ入出力回路12に接続される。各バンクにおいて、セルアレイコントローラCAGとロウデコーダRDは、互いに対向し、カラムデコーダCD0、CD1とDQバッファDQは、互いに対向する。ローカルDQ線18aは、メモリセルアレイCAL、CAR間に配置され、グローバルDQ線18bは、メモリセルアレイCAL、CAR上に配置される。ローカルDQ線18aが延長する方向は、グローバルDQ線18bが延長する方向に垂直である。



【特許請求の範囲】

【請求項1】 メモリチップと、前記メモリチップ上に配置される複数のバンクと、前記メモリチップ上に配置され、複数のビットのデータの出入力を実行するためのデータ入出力領域と、前記複数のバンクに共通に設けられ、カラム方向に延長し、前記複数のバンクと前記データ入出力領域の間における前記複数のビットのデータの経路となるデータバスとを具備し、

前記複数のバンクの各々は、

メモリセルアレイから構成され、前記カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の小ブロックと、前記カラム方向の2つの端部のうちの少なくとも一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、

ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、前記ロウ方向の2つの端部のうちの他方に配置され、前記中ブロックの各々に1つずつ設けられる複数のDQバッファと、

前記ロウ方向の2つの端部のうちの一方に配置され、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を制御するセルアレイコントロールラとから構成され、かつ、

前記複数のバンクの各々は、互いに独立して、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を行うように構成されていることを特徴とする半導体メモリ。

【請求項2】 請求項1記載の半導体メモリにおいて、前記複数のバンクの各々は、前記ロウ方向の2つの端部のうちの他方に配置されるバンク選択回路を備え、前記バンク選択回路は、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を実行するときに、前記複数のバンクのうちの1つのバンクを前記データバスに接続し、残りのバンクを前記データバスから切断することを特徴とする半導体メモリ。

【請求項3】 請求項1記載の半導体メモリにおいて、前記複数のバンクは、前記ロウ方向に2つ、前記カラム方向に2つ、合計4つ存在していることを特徴とする半導体メモリ。

【請求項4】 請求項1記載の半導体メモリにおいて、前記2つの小ブロックの間に配置され、前記ロウ方向に延長するDQ線対を備え、前記DQ線対は、前記センスアンプと前記DQバッファを互いに接続することを特徴とする半導体メモリ。

【請求項5】 請求項1記載の半導体メモリにおいて、前記2つの小ブロックの間に配置され、前記カラム選択

線に接続されるカラム選択スイッチを備えることを特徴とする半導体メモリ。

【請求項6】 請求項1記載の半導体メモリにおいて、前記データ入出力領域は、前記メモリチップの前記カラム方向の2つの端部のうちの一方に配置されていることを特徴とする半導体メモリ。

【請求項7】 請求項1記載の半導体メモリにおいて、前記データ入出力領域は、前記複数のビットのデータを同時に入出力するための複数のデータ入出力回路を有していることを特徴とする半導体メモリ。

【請求項8】 請求項1記載の半導体メモリにおいて、前記データバスは、前記メモリチップの中央部にあり、前記カラム方向に延長し、前記複数のバンクは、前記データバスの前記ロウ方向の両側に配置されていることを特徴とする半導体メモリ。

【請求項9】 請求項1記載の半導体メモリにおいて、前記複数のバンクの各々が複数のカラムデコーダを有している場合、前記カラム選択線のうち互いに隣接する2つのカラム選択線は、それぞれ異なるカラムデコーダにより制御されることを特徴とする半導体メモリ。

【請求項10】 請求項1記載の半導体メモリにおいて、前記ロウデコーダは、前記2つの小ブロックのうちのいずれか1つを選択し、かつ、その選択された小ブロックのワード線のうちから1つのワード線を選択することを特徴とする半導体メモリ。

【請求項11】 メモリチップと、前記メモリチップ上に配置され、複数のサブバンクから構成される複数のメインバンクと、前記メモリチップ上に配置され、複数のビットのデータの出入力を実行するためのデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクに共通に設けられ、カラム方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間における前記複数のビットのデータの経路となる複数のデータバスとを具備し、前記複数のサブバンクの各々は、

メモリセルアレイから構成され、前記カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の小ブロックと、前記カラム方向の2つの端部のうちの少なくとも一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、

ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、

前記ロウ方向の2つの端部のうちの他方に配置され、前記中ブロックの各々に1つずつ設けられる複数のDQバッファと、

前記ロウ方向の2つの端部のうちの一方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントロールとから構成され、かつ、前記複数のサブバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されていることを特徴とする半導体メモリ。

【請求項12】 請求項11記載の半導体メモリにおいて、

前記複数のサブバンクの各々は、前記ロウ方向の2つの端部のうちの他方に配置されるバンク選択回路を備え、前記バンク選択回路は、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を実行するときに、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクを選択し、この選択されたサブバンクを前記データバスに接続し、選択されなかったサブバンクを前記データバスから切断することを特徴とする半導体メモリ。

【請求項13】 請求項12記載の半導体メモリにおいて、

前記選択されたサブバンクにおいて入出力されるデータは、それぞれ異なる前記データバスを經由して、前記選択されたサブバンクと前記データ入出力領域との間を行き来することを特徴とする半導体メモリ。

【請求項14】 請求項11記載の半導体メモリにおいて、

前記2つの小ブロックの間に配置され、前記ロウ方向に延長するDQ線対を備え、前記DQ線対は、前記センスアンプと前記DQバッファを互いに接続することを特徴とする半導体メモリ。

【請求項15】 請求項11記載の半導体メモリにおいて、

前記2つの小ブロックの間に配置され、前記カラム選択線に接続されるカラム選択スイッチを備えることを特徴とする半導体メモリ。

【請求項16】 請求項11記載の半導体メモリにおいて、

前記複数のメインバンクの各々を構成する前記複数のサブバンクの数が n の場合、前記データ入出力領域は、前記複数ビットのデータの n 倍のデータを同時に入出力するための複数のデータ入出力回路を有していることを特徴とする半導体メモリ。

【請求項17】 請求項11記載の半導体メモリにおいて、

前記複数のメインバンクの各々を構成する前記複数のサブバンクの各々が、複数のカラムデコーダを有している場合、前記カラム選択線のうち互いに隣接する2つのカラム選択線は、それぞれ異なるカラムデコーダにより制御されることを特徴とする半導体メモリ。

【請求項18】 請求項11記載の半導体メモリにおいて、

前記ロウデコーダは、前記2つの小ブロックのうちのいずれか1つを選択し、かつ、その選択された小ブロックのワード線のうちから1つのワード線を選択することを特徴とする半導体メモリ。

【請求項19】 請求項11記載の半導体メモリにおいて、

前記データ入出力領域は、前記メモリチップの中央部において前記ロウ方向に長くなるように配置されていることを特徴とする半導体メモリ。

【請求項20】 請求項19記載の半導体メモリにおいて、

前記データバスは、前記データ入出力領域の前記カラム方向の両側において、それぞれ前記カラム方向に延長していることを特徴とする半導体メモリ。

【請求項21】 請求項20記載の半導体メモリにおいて、

前記複数のメインバンクを構成する前記複数のサブバンクは、前記データバスの前記ロウ方向の両側に配置されていることを特徴とする半導体メモリ。

【請求項22】 請求項21記載の半導体メモリにおいて、

前記複数のメインバンクを構成する前記複数のサブバンクは、前記ロウ方向に4つ、前記カラム方向に2つ、合計8つ存在していることを特徴とする半導体メモリ。

【請求項23】 請求項11記載の半導体メモリにおいて、

前記データ入出力領域は、前記メモリチップの前記カラム方向の2つの端部のうちの一方に配置されていることを特徴とする半導体メモリ。

【請求項24】 請求項23記載の半導体メモリにおいて、

前記データバスは、前記データ入出力領域の前記カラム方向の1つの側において、それぞれ前記カラム方向に延長していることを特徴とする半導体メモリ。

【請求項25】 請求項24記載の半導体メモリにおいて、

前記複数のメインバンクを構成する前記複数のサブバンクは、前記データバスの前記ロウ方向の両側に配置されていることを特徴とする半導体メモリ。

【請求項26】 請求項25記載の半導体メモリにおいて、

前記複数のメインバンクを構成する前記複数のサブバンクは、前記ロウ方向に4つ、前記カラム方向に2つ、合計8つ存在していることを特徴とする半導体メモリ。

【請求項27】 メモリチップと、前記メモリチップ上に配置される複数のバンクと、前記メモリチップ上に配置され、複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のバンクに共通に設けら

れ、ロウ方向に延長し、前記複数のバンクと前記データ入出力領域の間における前記複数のビットのデータの経路となるデータバスとを具備し、

前記複数のバンクの各々は、

メモリセルアレイから構成され、カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の中ブロックと、前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、

前記ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、

前記カラム方向の2つの端部のうちの他方に配置されるDQバッファと、

前記ロウ方向の2つの端部のうちの他方に配置され、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を制御するセルアレイコントロールとから構成され、かつ、

前記複数のバンクの各々は、互いに独立して、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を行うように構成されていることを特徴とする半導体メモリ、

【請求項28】 請求項27記載の半導体メモリにおいて、

前記複数のバンクの各々は、

前記中ブロックの各々を構成する前記2つの小ブロックの間に配置され、前記ロウ方向に延長し、前記センスアンプに接続されるローカルDQ線と、

前記中ブロック上において前記カラム方向に延長し、前記ローカルDQ線と前記DQバッファとを接続するグローバルDQ線とを備えることを特徴とする半導体メモリ、

【請求項29】 請求項28記載の半導体メモリにおいて、

さらに、前記ローカルDQ線と前記グローバルDQ線の間に配置されるスイッチを備えることを特徴とする半導体メモリ、

【請求項30】 請求項29記載の半導体メモリにおいて、

前記スイッチは、NチャネルタイプMOSトランジスタから構成されることを特徴とする半導体メモリ、

【請求項31】 請求項27記載の半導体メモリにおいて、

前記複数のバンクの各々は、前記カラム方向の2つの端部のうちの他方に配置されるバンク選択回路を備え、前記バンク選択回路は、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を

実行するときに、前記複数のバンクのうちの1つのバンクを前記データバスに接続し、残りのバンクを前記データバスから切断することを特徴とする半導体メモリ、

【請求項32】 請求項27記載の半導体メモリにおいて、

前記複数のバンクは、前記ロウ方向に2つ、前記カラム方向に2つ、合計4つ存在していることを特徴とする半導体メモリ、

【請求項33】 請求項27記載の半導体メモリにおいて、

前記2つの小ブロックの間に配置され、前記カラム選択線に接続されるカラム選択スイッチを備えることを特徴とする半導体メモリ、

【請求項34】 請求項27記載の半導体メモリにおいて、

前記データ入出力領域は、前記メモリチップの前記ロウ方向の2つの端部のうちの一方に配置されていることを特徴とする半導体メモリ、

【請求項35】 請求項27記載の半導体メモリにおいて、

前記データ入出力領域は、前記メモリチップの中央部において前記カラム方向に延長して配置されていることを特徴とする半導体メモリ、

【請求項36】 請求項27記載の半導体メモリにおいて、

前記データ入出力領域は、前記複数のビットのデータを同時に入出力するための複数のデータ入出力回路を有していることを特徴とする半導体メモリ、

【請求項37】 請求項27記載の半導体メモリにおいて、

前記データバスは、前記メモリチップの中央部において、前記ロウ方向に延長し、前記複数のバンクは、前記データバスの前記カラム方向の両側に配置されていることを特徴とする半導体メモリ、

【請求項38】 請求項27記載の半導体メモリにおいて、

前記複数のバンクの各々が複数のカラムデコーダを有している場合、前記複数のカラムデコーダは、前記ロウ方向に配置され、前記複数のカラムデコーダが制御する前記カラム選択線のグループは、互いに完全に分割されていることを特徴とする半導体メモリ、

【請求項39】 請求項27記載の半導体メモリにおいて、

前記ロウデコーダは、前記2つの小ブロックのうちのいずれか1つを選択し、かつ、その選択された小ブロックのワード線のうちから1つのワード線を選択することを特徴とする半導体メモリ、

【請求項40】 請求項27記載の半導体メモリにおいて、

前記少なくとも1つのカラムデコーダは、前記カラム選

選択線のうちの1つのカラム選択線を選択する機能、及び、前記カラム選択線のうちの2つ以上のカラム選択線を選択する機能を含み、この2つの機能は、制御信号により切り替えられることを特徴とする半導体メモリ。

【請求項41】 メモリチップと、前記メモリチップ上に配置され、複数のサブバンクから構成される複数のメインバンクと、前記メモリチップ上に配置され、複数のビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクに共通に設けられ、ロウ方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間における前記複数のビットのデータの経路となる複数のデータバスとを具備し、前記複数のサブバンクの各々は、メモリセルアレイから構成され、カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、カラム方向に配置される複数の中ブロックと、前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコードと、前記ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコードと、前記カラム方向の2つの端部のうちの他方に配置されるロウバッファと、前記ロウ方向の2つの端部のうちの他方に配置され、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を制御するセルアレイコントロールとから構成され、かつ、前記複数のサブバンクの各々は、互いに独立して、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を行うように構成されていることを特徴とする半導体メモリ。

【請求項42】 請求項41記載の半導体メモリにおいて、前記複数のサブバンクsの各々は、前記中ブロックの各々を構成する前記2つの小ブロックの間に配置され、前記ロウ方向に延長し、前記センスアンプに接続されるローカルロウ線と、前記中ブロック上において前記カラム方向に延長し、前記ローカルロウ線と前記ロウバッファとを接続するグローバルロウ線とを備えることを特徴とする半導体メモリ。

【請求項43】 請求項42記載の半導体メモリにおいて、さらに、前記ローカルロウ線と前記グローバルロウ線の間に配置されるスイッチを備えることを特徴とする半導体メモリ。

【請求項44】 請求項43記載の半導体メモリにおいて、

前記スイッチは、nチャネルタイプMOSトランジスタから構成されることを特徴とする半導体メモリ。

【請求項45】 請求項41記載の半導体メモリにおいて、

前記複数のサブバンクの各々は、前記カラム方向の2つの端部のうちの他方に配置されるバンク選択回路を備え、

前記バンク選択回路は、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を実行するときに、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクを選択し、この選択されたサブバンクを前記データバスに接続し、選択されなかったサブバンクを前記データバスから切断することを特徴とする半導体メモリ。

【請求項46】 請求項45記載の半導体メモリにおいて、

前記選択されたサブバンクにおいて入出力されるデータは、それぞれ異なる前記データバスを經由して、前記選択されたサブバンクと前記データ入出力領域との間を行き来することを特徴とする半導体メモリ。

【請求項47】 請求項41記載の半導体メモリにおいて、

前記2つの小ブロックの間に配置され、前記カラム選択線に接続されるカラム選択スイッチを備えることを特徴とする半導体メモリ。

【請求項48】 請求項41記載の半導体メモリにおいて、

前記複数のメインバンクの各々を構成する前記複数のサブバンクの数がnの場合、前記データ入出力領域は、前記複数のビットのデータのn倍のデータを同時に入出力するための複数のデータ入出力回路を有していることを特徴とする半導体メモリ。

【請求項49】 請求項41記載の半導体メモリにおいて、

前記複数のメインバンクの各々を構成する前記複数のサブバンクの各々が、複数のカラムデコードを有している場合、前記複数のカラムデコードは、前記ロウ方向に配置され、前記複数のカラムデコードが制御する前記カラム選択線のグループは、互いに完全に分割されていることを特徴とする半導体メモリ。

【請求項50】 請求項41記載の半導体メモリにおいて、

前記ロウデコードは、前記2つの小ブロックのうちのいずれか1つを選択し、かつ、その選択された小ブロックのワード線のうちから1つのワード線を選択することを特徴とする半導体メモリ。

【請求項51】 請求項41記載の半導体メモリにおいて、

前記データ入出力領域は、前記メモリチップの中央部において前記カラム方向に長くなるように配置されていることを特徴とする半導体メモリ。

【請求項52】 請求項51記載の半導体メモリにおいて、

前記データバスは、前記データ入出力領域の前記ロウ方向の両側において、それぞれ前記ロウ方向に延長していることを特徴とする半導体メモリ。

【請求項53】 請求項52記載の半導体メモリにおいて、

前記複数のメインバンクを構成する前記複数のサブバンクは、前記データバスの前記カラム方向の両側に配置されていることを特徴とする半導体メモリ。

【請求項54】 請求項53記載の半導体メモリにおいて、

前記複数のメインバンクを構成する前記複数のサブバンクは、前記ロウ方向に4つ、前記カラム方向に2つ、合計8つ存在していることを特徴とする半導体メモリ。

【請求項55】 請求項54記載の半導体メモリにおいて、

前記データ入出力領域は、前記メモリチップの前記ロウ方向の2つの端部のうちの一方に配置されていることを特徴とする半導体メモリ。

【請求項56】 請求項55記載の半導体メモリにおいて、

前記データバスは、前記データ入出力領域の前記ロウ方向の1つの側において、それぞれ前記ロウ方向に延長していることを特徴とする半導体メモリ。

【請求項57】 請求項56記載の半導体メモリにおいて、

前記複数のメインバンクを構成する前記複数のサブバンクは、前記データバスの前記カラム方向の両側に配置されていることを特徴とする半導体メモリ。

【請求項58】 請求項57記載の半導体メモリにおいて、

前記複数のメインバンクを構成する前記複数のサブバンクは、前記ロウ方向に4つ、前記カラム方向に2つ、合計8つ存在していることを特徴とする半導体メモリ。

【請求項59】 メモリチップと、前記メモリチップ上に配置され、複数のサブバンクから構成される複数のメインバンクと、前記メモリチップ上に配置され、複数のビットのデータの入出力を実行するための複数のデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクに共通に設けられ、ロウ方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間における前記複数のビットのデータの経路となる複数のデータバスとを具備し、

前記複数のサブバンクの各々は、

メモリセルアレイから構成され、カラム方向に配置され

る2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、カラム方向に配置される複数の中ブロックと、

前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、

前記ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、

前記カラム方向の2つの端部のうちの他方に配置されるDQバッファと、

前記ロウ方向の2つの端部のうちの他方に配置され、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を制御するセルアレイコントロールとから構成され、かつ、

前記複数のデータバスは、各々のデータ入出力領域の前記ロウ方向の両側にそれぞれ配置され、前記複数のメインバンクを構成する前記複数のサブバンクは、各々のデータバスの前記カラム方向の両側に配置され、

前記複数のサブバンクの各々は、互いに独立して、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を行うように構成されていることを特徴とする半導体メモリ。

【請求項60】 請求項59記載の半導体メモリにおいて、

前記複数のサブバンクの各々は、

前記中ブロックの各々を構成する前記2つの小ブロックの間に配置され、前記ロウ方向に延長し、前記センスアンプに接続されるローカルDQ線対と、

前記中ブロック上において前記カラム方向に延長し、前記ローカルDQ線対と前記DQバッファとを接続するグローバルDQ線対とを備えることを特徴とする半導体メモリ。

【請求項61】 請求項60記載の半導体メモリにおいて、

さらに、前記ローカルDQ線対と前記グローバルDQ線対の間に配置されるスイッチを備えることを特徴とする半導体メモリ。

【請求項62】 請求項61記載の半導体メモリにおいて、

前記スイッチは、NチャネルタイプMOSトランジスタから構成されることを特徴とする半導体メモリ。

【請求項63】 請求項59記載の半導体メモリにおいて、

前記複数のサブバンクの各々は、前記カラム方向の2つの端部のうちの他方に配置されるバンク選択回路を備え、

前記バンク選択回路は、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を

実行するときに、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクを選択し、この選択されたサブバンクを前記データバスに接続し、選択されなかったサブバンクを前記データバスから切断することを特徴とする半導体メモリ。

【請求項64】 請求項63記載の半導体メモリにおいて、

前記選択されたサブバンクにおいて入出力されるデータは、それぞれ異なる前記データバスを經由して、前記選択されたサブバンクと前記データ入出力領域との間を行き来することを特徴とする半導体メモリ。

【請求項65】 請求項59記載の半導体メモリにおいて、

前記2つの小ブロックの間に配置され、前記カラム選択線に接続されるカラム選択スイッチを備えることを特徴とする半導体メモリ。

【請求項66】 請求項59記載の半導体メモリにおいて、

前記複数のメインバンクの各々を構成する前記複数のサブバンクの数が n の場合、前記データ入出力領域の数は、 n であり、前記データ入出力領域の各々は、前記複数ビットのデータを同時に入出力するための複数のデータ入出力回路を有していることを特徴とする半導体メモリ。

【請求項67】 請求項59記載の半導体メモリにおいて、

前記複数のメインバンクの各々を構成する前記複数のサブバンクの各々が、複数のカラムデコーダを有している場合、前記複数のカラムデコーダは、前記ロウ方向に配置され、前記複数のカラムデコーダが制御する前記カラム選択線のグループは、互いに完全に分割されていることを特徴とする半導体メモリ。

【請求項68】 請求項59記載の半導体メモリにおいて、

前記ロウデコーダは、前記2つの小ブロックのうちのいずれか1つを選択し、かつ、その選択された小ブロックのワード線のうちから1つのワード線を選択することを特徴とする半導体メモリ。

【請求項69】 請求項59記載の半導体メモリにおいて、

前記複数のメインバンクを構成する前記複数のサブバンクは、前記ロウ方向に4つ、前記カラム方向に2つ、合計8つ存在していることを特徴とする半導体メモリ。

【請求項70】 請求項59記載の半導体メモリにおいて、

前記複数のメインバンクの各々は、外部クロックに同期して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うことを特徴とする半導体メモリ。

【請求項71】 複数のブロックから構成されるメモリ

セルアレイと、前記複数のブロックのうち少なくとも1つのブロック内のメモリセルに同時にデータを書き込むブロックライト手段と、前記少なくとも1つのブロックに書き込むデータを予め保持しておくレジスタとを備える半導体メモリをテストするためのテスト回路において、

テストモード時において、前記メモリセルアレイのメモリセルに前記レジスタのデータを書き込み、かつ、前記メモリセルのデータを読み出すためのテストモード書き込み・読み出し手段と、

前記レジスタに保持されたデータと前記テストモード書き込み・読み出し手段により前記メモリセルから読み出されたデータとを比較し、その比較結果に基づいて前記半導体メモリの良否を判定し、その良否の結果を示すデータを出力する比較手段と、

前記比較手段から出力されるデータを前記半導体メモリの外部に出力するためのテスト用出力回路とを具備することを特徴とするテスト回路。

【請求項72】 複数のブロックから構成されるメモリセルアレイと、前記複数のブロックのうち n (n は、2以上の自然数)のブロック内のメモリセルに同時に n ビットのデータを書き込むブロックライト手段と、前記 n のブロックに書き込む前記 n ビットのデータを予め保持しておくレジスタとを備える半導体メモリをテストするためのテスト回路において、

テストモード時において、前記メモリセルアレイのメモリセルに同時に前記レジスタに保持された前記 n ビットのデータを書き込み、かつ、前記メモリセルの前記 n ビットのデータを読み出すためのテストモード書き込み・読み出し手段と、

前記レジスタに保持された前記 n ビットのデータと前記テストモード書き込み・読み出し手段により前記メモリセルから読み出された前記 n ビットのデータとを比較し、その比較結果に基づいて前記半導体メモリの良否を判定し、その良否の結果を示す1ビットのデータを出力する比較手段と、

前記比較手段から出力される前記1ビットのデータを前記半導体メモリの外部に出力するためのテスト用出力回路とを具備することを特徴とするテスト回路。

【請求項73】 請求項72記載のテスト回路において、

前記比較手段における前記比較結果を示す n ビットのデータを保持するラッチ手段と、前記良否の結果が不良である場合に、前記ラッチ手段の n ビットのデータを順次前記テスト用出力回路に与える切り替え手段とを備えることを特徴とするテスト回路。

【請求項74】 請求項72記載のテスト回路において、

前記半導体メモリは、 n ビットのデータの入出力を同時に行える n ビットタイプの半導体メモリであり、前記半

媒体メモリは、通常動作モード時に使用される n 個の出力パッドを有し、前記テスト出力回路は、前記 n 個の出力パッドのうちの1つの出力パッドに接続されていることを特徴とするテスト回路。

【請求項75】 カラム方向に延長して配置される複数のブロックを有し、各々のブロックは、マトリックス状に配置される複数のスイッチから構成されるスイッチアレイと、前記スイッチアレイのロウ方向の端部に隣接して配置され、前記スイッチアレイのロウを選択するロウデコーダと、前記スイッチアレイのカラム方向の端部に隣接して配置され、前記ロウ方向に延長するローカルDQ線と、前記スイッチアレイの複数のスイッチに接続され、データを前記ローカルDQ線に送るデータ線とから構成され、かつ、前記複数のブロック上において前記カラム方向に延長して配置され、一端が前記ローカルDQ線に接続されるグローバルDQ線と、前記複数のブロックの前記カラム方向の端部に隣接して配置され、前記複数のブロックの前記スイッチアレイのカラムを選択するカラムデコーダと、前記複数のブロックの前記カラム方向の端部に隣接して配置され、前記グローバルDQ線の他端に接続され、データの入出力を実行するデータ入出力回路とを有することを特徴とするデータ転送システム。

【請求項76】 請求項75記載のデータ転送システムにおいて、

前記スイッチアレイ上に配置されるカラム選択線を備えることを特徴とするデータ転送システム。

【請求項77】 請求項76記載のデータ転送システムにおいて、

前記スイッチアレイの端部に隣接して配置されるカラム選択スイッチを備え、前記カラム選択スイッチは、前記カラム選択線に接続されることを特徴とするデータ転送システム。

【請求項78】 請求項75記載のデータ転送システムにおいて、

前記スイッチアレイの端部に隣接して配置されるレジスタを備え、前記レジスタは、前記データ線と前記ローカルDQ線の間に接続されることを特徴とするデータ転送システム。

【請求項79】 請求項75記載のデータ転送システムにおいて、

前記データ入出力回路は、同時に複数のビットのデータの入出力を行うことを特徴とするデータ転送システム。

【請求項80】 メモリチップと、前記メモリチップ上に配置される複数のバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数のビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のバンクに共通に設けられ、カラム方向に延長し、前記複数のバンクと前記データ入出力領域の間における前記

複数のビットのデータの経路となるデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを具備し、

前記複数のバンクの各々は、

メモリアルアレイから構成され、前記カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリアルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の中ブロックと、前記カラム方向の2つの端部のうちの少なくとも一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、

ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、

前記ロウ方向の2つの端部のうちの他方に配置され、前記中ブロックの各々に1つずつ設けられる複数のDQパッドと、

前記ロウ方向の2つの端部のうちの一方に配置され、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を制御するセルアレイコントロールとから構成され、かつ、

前記複数のバンクの各々は、互いに独立して、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を行うように構成されていることを特徴とするメモリシステム。

【請求項81】 メモリチップと、前記メモリチップ上に配置され、複数のサブバンクから構成される複数のメインバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数のビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクに共通に設けられ、カラム方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間における前記複数のビットのデータの経路となる複数のデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを具備し、

前記複数のサブバンクの各々は、

メモリアルアレイから構成され、前記カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリアルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の中ブロックと、前記カラム方向の2つの端部のうちの少なくとも一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、

ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接

続される複数のロウデコードと、

前記ロウ方向の2つの端部のうちの他方に配置され、前記中ブロックの各々に1つずつ設けられる複数のDQバッファと、

前記ロウ方向の2つの端部のうちの一方に配置され、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を制御するセルアレイコントロールラとから構成され、かつ、

前記複数のサブバンクの各々は、互いに独立して、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を行うように構成されていることを特徴とするメモリシステム。

【請求項82】 メモリチップと、前記メモリチップ上に配置される複数のバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数のビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のバンクに共通に設けられ、ロウ方向に延長し、前記複数のバンクと前記データ入出力領域の間における前記複数のビットのデータの経路となるデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを具備し、

前記複数のバンクの各々は、

メモリセルアレイから構成され、カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の中ブロックと、

前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコードと、

前記ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコードと、

前記カラム方向の2つの端部のうちの他方に配置されるDQバッファと、

前記ロウ方向の2つの端部のうちの他方に配置され、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を制御するセルアレイコントロールラとから構成され、かつ、

前記複数のバンクの各々は、互いに独立して、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を行うように構成されていることを特徴とするメモリシステム。

【請求項83】 メモリチップと、前記メモリチップ上に配置され、複数のサブバンクから構成される複数のメインバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数のビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバン

クに共通に設けられ、ロウ方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間における前記複数のビットのデータの経路となる複数のデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを具備し、

前記複数のサブバンクの各々は、

メモリセルアレイから構成され、カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、カラム方向に配置される複数の中ブロックと、

前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコードと、

前記ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコードと、

前記カラム方向の2つの端部のうちの他方に配置されるDQバッファと、

前記ロウ方向の2つの端部のうちの他方に配置され、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を制御するセルアレイコントロールラとから構成され、かつ、

前記複数のサブバンクの各々は、互いに独立して、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を行うように構成されていることを特徴とするメモリシステム。

【請求項84】 メモリチップと、前記メモリチップ上に配置され、複数のサブバンクから構成される複数のメインバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数のビットのデータの入出力を実行するための複数のデータのデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクに共通に設けられ、ロウ方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間における前記複数のビットのデータの経路となる複数のデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを具備し、

前記複数のサブバンクの各々は、

メモリセルアレイから構成され、カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、カラム方向に配置される複数の中ブロックと、

前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコードと、

前記ロウ方向の2つの端部のうちの一方に配置され、前

記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、

前記カラム方向の2つの端部のうちの他方に配置されるDQバッファと、

前記ロウ方向の2つの端部のうちの他方に配置され、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を制御するセルアレイコントローラとから構成され、かつ、

前記複数のデータのデータ入出力領域の前記ロウ方向の両側にそれぞれ配置され、前記複数のメインバンクを構成する前記複数のサブバンクは、各々のデータのデータの前記カラム方向の両側に配置され、

前記複数のサブバンクの各々は、互いに独立して、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を行うように構成されていることを特徴とするメモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のビットのデータの入出力を同時に行うマルチビットタイプの半導体メモリに関する。

【0002】

【従来の技術】DRAM（ダイナミック型ランダムアクセスメモリ）などの半導体メモリを有するデジタルシステムでは、データ転送速度を高めるため、以下の工夫が施されている。

【0003】第一の工夫は、半導体メモリをマルチビットタイプにすることである。マルチビット（ $\times 2n$ ）タイプの半導体メモリは、一般に、 $2n$ （ n は、自然数）ビットのデータの入出力を同時に行うことができるように構成されている。

【0004】第二の工夫は、CPU（central processing unit）から出力される高周波数の外部クロックに同期させてデータの入出力動作を行うことである。このようなクロック同期タイプの半導体メモリ（SDRAM、RDRAMなど）では、外部クロックの周波数を高くすればするほど、連続したデータを高速に入出力できるため、データ転送速度を高めることができる。

【0005】第三の工夫は、1つの半導体メモリ（メモリチップ）内に複数のバンクを設けることである。複数のバンクは、互いに同一の要素を有し、これら複数のバンクの各々が独立にデータの入出力動作を行うことができるように構成されている。これにより、最初のデータにアクセスするまでの時間（レイテンシ）を短くでき、データ転送速度を高めることができる。

【0006】図37は、従来の半導体メモリのチップレイアウトの概略を示している。

【0007】この半導体メモリは、上記三つの工夫の全てを備えているものである。

【0008】1つのメモリチップ10上には、4つのバンク11-0~11-3が配置されている。各バンク11-0~11-3には、メモリアレイ、セルアレイコントローラが形成され、かつ、ロウデコーダ、カラムデコーダ、DQバッファ（バンクの入出力部のバッファのことをいう）などの周辺回路が形成されている。

【0009】また、1つのメモリチップ10上には、データ入出力領域12が配置されている。データ入出力領域12には、複数の入出力回路（1/0）、例えば16ビット（2バイト）のデータの入出力を同時に行う場合には、16個の入出力回路が形成されている。

【0010】バンク11-0~11-3の間には、データバス13が配置されている。データバス13は、バンク11-0~11-3とデータ入出力領域12の間におけるデータの経路となるものである。データバス13は、例えば16ビット（2バイト）のデータの入出力を同時に行う場合、16ビットのデータの転送を行えるように構成される。

【0011】上述の半導体メモリのデータ入出力動作は、以下のようにして行われる。

【0012】まず、4つのバンク11-0~11-3のうちから1つのバンクが選択される。選択された1つのバンクでは、アドレス信号に基づいてメモリアレイのアクセス動作が行われ、 $2n$ ビット（例えば16ビット（2バイト））のデータが選択された1つのバンクから出力される。

【0013】この $2n$ ビットのデータは、データバス13を経由して、データ入出力領域12に導かれ、かつ、データ入出力領域12から半導体メモリ（メモリチップ）外部に出力される。

【0014】

【発明が解決しようとする課題】上述の半導体メモリにおいて検討しなければならない点は、1つのメモリチップ上の全領域に占めるデータバス13の領域の割合である。即ち、データバス13の領域をできるだけ小さくし、チップ面積の縮小を図ることが重要である。

【0015】しかし、同時に入出力を行えるビット数が増えるに従い、データバスの領域は、増大する。

【0016】つまり、従来は、半導体メモリの構成を、16ビットタイプ（ $\times 16$ ）→32ビットタイプ（ $\times 32$ ）→64ビット（ $\times 64$ ）へと、多ビットタイプのものに移行していくに従い、チップ面積が増大していく欠点がある。

【0017】本発明は、上記欠点を解決すべくなされたもので、その目的は、マルチビットタイプ、クロック同期タイプ、バンクタイプの半導体メモリにおいて、チップ面積を増大させることなく、データ転送速度を高めることを可能にすることである。

【0018】

【課題を解決するための手段】上記目的を達成するた

め、本発明の半導体メモリは、メモリチップと、前記メモリチップ上に配置される複数のバンクを備えている。前記複数のバンクの各々は、互いに独立して、複数のビットのデータの読み出し動作又は複数のビットのデータの書き込み動作を行う。

【0019】前記複数のバンクの各々は、複数の中ブロックを有する。前記中ブロックの各々は、メモリセルアレイから構成される2つの小ブロックと、前記2つの小ブロックの間に配置されるセンスアンプと、前記メモリセルアレイ上に配置されるワード線、データ線及びカラム選択線を有する。前記中ブロックの各々は、前記カラム選択線及び前記データ線が延長するカラム方向に配置される。前記小ブロックの各々は、前記カラム方向に配置される。

【0020】前記複数のバンクの各々は、前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダを有する。

【0021】前記複数のバンクの各々は、前記ワード線が延長するロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続されるロウデコーダを有する。

【0022】前記複数のバンクの各々は、前記カラム方向の2つの端部のうちの他方に配置されるOQバッファを有する。

【0023】前記複数のバンクの各々は、前記ロウ方向の2つの端部のうちの他方に配置され、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を制御するセルアレイコントローラを有する。

【0024】本発明の半導体メモリは、前記メモリチップ上に配置され、前記複数のビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のバンクに共通に設けられ、前記ロウ方向に延長し、前記複数のバンクと前記データ入出力領域の間における前記複数のビットのデータの経路となるデータバスを備える。

【0025】前記複数のバンクの各々は、前記中ブロックの各々を構成する前記2つの小ブロックの間に配置され、前記ロウ方向に延長し、前記センスアンプに接続されるローカルOQ線対と、前記中ブロック上において前記カラム方向に延長し、前記ローカルOQ線対と前記OQバッファとを接続するグローバルOQ線対と備えている。

【0026】本発明の半導体メモリは、メモリチップと、前記メモリチップ上に配置される複数のメインバンクを備えている。前記複数のメインバンクの各々は、複数のサブバンクから構成される。前記複数のサブバンクの各々は、互いに独立して、複数のビットのデータの読み出し動作又は複数のビットのデータの書き込み動作を行う。

【0027】前記複数のサブバンクの各々は、複数の中ブロックを有する。前記中ブロックの各々は、メモリセルアレイから構成される2つの小ブロックと、前記2つの小ブロックの間に配置されるセンスアンプと、前記メモリセルアレイ上に配置されるワード線、データ線及びカラム選択線を有する。前記中ブロックの各々は、前記カラム選択線及び前記データ線が延長するカラム方向に配置される。前記小ブロックの各々は、前記カラム方向に配置される。

【0028】前記複数のサブバンクの各々は、前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダを有する。

【0029】前記複数のサブバンクの各々は、前記ワード線が延長するロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続されるロウデコーダを有する。

【0030】前記複数のサブバンクの各々は、前記カラム方向の2つの端部のうちの他方に配置されるOQバッファを有する。

【0031】前記複数のサブバンクの各々は、前記ロウ方向の2つの端部のうちの他方に配置され、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を制御するセルアレイコントローラを有する。

【0032】本発明の半導体メモリは、前記メモリチップ上に配置され、前記複数のビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクに共通に設けられ、前記ロウ方向に延長し、前記サブバンクと前記データ入出力領域の間における前記複数のビットのデータの経路となる複数のデータバスを有する。

【0033】前記複数のサブバンクの各々は、前記中ブロックの各々を構成する前記2つの小ブロックの間に配置され、前記ロウ方向に延長し、前記センスアンプに接続されるローカルOQ線対と、前記中ブロック上において前記カラム方向に延長し、前記ローカルOQ線対と前記OQバッファとを接続するグローバルOQ線対と備える。

【0034】本発明のテスト回路を備える半導体メモリは、複数のブロックから構成されるメモリセルアレイと、前記複数のブロックのうち n (n は、2以上の自然数)のブロック内のメモリセルに同時に n ビットのデータを書き込むブロックライト手段と、前記 n のブロックに書き込む前記 n ビットのデータを予め保持しておくレジスタとを有する。

【0035】本発明のテスト回路は、テストモード時において、前記メモリセルアレイのメモリセルに同時に前記レジスタに保持された前記 n ビットのデータを書き込

み、かつ、前記メモリセルの前記 n ビットのデータを読み出すためのテストモード書き込み・読み出し手段と、前記レジスタに保持された前記 n ビットのデータと前記テストモード書き込み・読み出し手段により前記メモリセルから読み出された前記 n ビットのデータとを比較し、その比較結果に基づいて前記半導体メモリの良否を判定し、その良否の結果を示す1ビットのデータを出力する比較手段と、前記比較手段から出力される前記1ビットのデータを前記半導体メモリの外部に出力するためのテスト用出力回路とを備える。

【0036】本発明のテスト回路は、前記比較手段における前記比較結果を示す n ビットのデータを保持するラッチ手段と、前記良否の結果が不良である場合に、前記ラッチ手段の n ビットのデータを前記テスト用出力回路に与える切り替え手段とを備える。

【0037】本発明のテスト回路を備える半導体メモリは、 n ビットのデータの入出力を同時に行える n ビットタイプの半導体メモリであり、前記半導体メモリは、通常動作モード時に使用される n 個の出力パッドを有し、本発明のテスト回路のテスト用出力回路は、前記 n 個の出力パッドのうちの1つの出力パッドに接続される。

【0038】本発明のデータ転送システムは、カラム方向に延長して配置される複数のブロックを有し、各々のブロックは、マトリクス状に配置される複数のスイッチから構成される2つのスイッチアレイと、前記2つのスイッチアレイのロウ方向の2つの端部のうちの一方に隣接して配置され、前記2つのスイッチアレイのロウを選択するロウデコーダと、前記2つのスイッチアレイの間に配置され、前記ロウ方向に延長するローカルロウ線と、各スイッチアレイの複数のスイッチに接続され、データを前記ローカルロウ線に導くデータ線とから構成される。

【0039】また、本発明のデータ転送システムは、前記複数のブロック上において前記カラム方向に延長して配置され、一端が前記ローカルロウ線に接続されるグローバルロウ線と、前記複数のブロックの前記カラム方向の2つの端部のうちの一方に隣接して配置され、前記複数のブロックのスイッチアレイのカラムを選択するカラムデコーダと、前記複数のブロックの前記カラム方向の2つの端部のうちの他方に隣接して配置され、前記グローバルロウ線の他端に接続され、データの入出力を実行するデータ入出力回路とを有する。

【0040】また、本発明のメモリシステムは、メモリチップと、前記メモリチップ上に配置される複数のバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のバンクに共通に設けられ、カラム方向に延長し、前記複数のバンクと前記データ入出力領域の間における前記複数ビットのデータの経路となるデータバスと、前記クロック信号を生成するC

PUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを備える。

【0041】前記複数のバンクの各々は、メモリセルアレイから構成され、前記カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の中ブロックと、前記カラム方向の2つの端部のうちの少なくとも一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、前記ロウ方向の2つの端部のうちの他方に配置され、前記中ブロックの各々に1つずつ設けられる複数のロウパッドと、前記ロウ方向の2つの端部のうちの一方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントロールとから構成される。

【0042】前記複数のバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されている。

【0043】本発明のメモリシステムは、メモリチップと、前記メモリチップ上に配置され、複数のサブバンクから構成される複数のメインバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクに共通に設けられ、カラム方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間における前記複数ビットのデータの経路となる複数のデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを備える。

【0044】前記複数のサブバンクの各々は、メモリセルアレイから構成され、前記カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の中ブロックと、前記カラム方向の2つの端部のうちの少なくとも一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、前記ロウ方向の2つの端部のうちの他方に配置され、前記中ブロックの各々に1つずつ設けられる複数のロウパッドと、前記ロウ方向の2つの端部のうちの一方に配置され、前記複数ビットのデータの読み出し動作又は前記複

数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成される。

【0045】前記複数のサブバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されている。

【0046】本発明のメモリシステムは、メモリチップと、前記メモリチップ上に配置される複数のバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のバンクに共通に設けられ、ロウ方向に延長し、前記複数のバンクと前記データ入出力領域の間における前記複数ビットのデータの経路となるデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを備える。

【0047】前記複数のバンクの各々は、メモリセルアレイから構成され、カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の中ブロックと、前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、前記ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、前記カラム方向の2つの端部のうちの他方に配置されるDQバッファと、前記ロウ方向の2つの端部のうちの他方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成される。

【0048】前記複数のバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されている。

【0049】本発明のメモリシステムは、メモリチップと、前記メモリチップ上に配置され、複数のサブバンクから構成される複数のメインバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクに共通に設けられ、ロウ方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間における前記複数ビットのデータの経路となる複数のデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを備える。

【0050】前記複数のサブバンクの各々は、メモリセルアレイから構成され、カラム方向に配置される2つの

小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、カラム方向に配置される複数の中ブロックと、前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、前記ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、前記カラム方向の2つの端部のうちの他方に配置されるDQバッファと、前記ロウ方向の2つの端部のうちの他方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成される。

【0051】前記複数のサブバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されている。

【0052】本発明のメモリシステムは、メモリチップと、前記メモリチップ上に配置され、複数のサブバンクから構成される複数のメインバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数ビットのデータの入出力を実行するための複数のデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクに共通に設けられ、ロウ方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間における前記複数ビットのデータの経路となる複数のデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを備える。

【0053】前記複数のサブバンクの各々は、メモリセルアレイから構成され、カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、カラム方向に配置される複数の中ブロックと、前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、前記ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、前記カラム方向の2つの端部のうちの他方に配置されるDQバッファと、前記ロウ方向の2つの端部のうちの他方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成される。

【0054】前記複数のデータバスは、各々のデータ入出力領域の前記ロウ方向の両側にそれぞれ配置され、前記複数のメインバンクを構成する前記複数のサブバンク

は、各々のデータバスの前記カラム方向の両側に配置される。

【0055】前記複数のサブバンクの各々は、互いに独立して、前記複数のビットのデータの読み出し動作又は前記複数のビットのデータの書き込み動作を行うように構成されている。

【0056】

【発明の実施の形態】以下、図面を参照しながら、本発明の半導体メモリ及びそのテスト回路、並びにデータ転送システムについて詳細に説明する。

【0057】図1は、本発明の第1参考例である半導体メモリのチップレイアウトを示している。図2は、図1の1つのバンク内のレイアウトを詳細に示している。

【0058】この参考例では、16ビットのデータを同時に入出力することができる16ビットタイプ（×16）の半導体メモリについて説明する。

【0059】1つのメモリチップ10上には、4つのバンク11-0～11-3が配置されている。各バンク11-0～11-3には、メモリアレイCAL、CAR、セルアレイコントローラCACが形成され、かつ、ロウデコーダRD、カラムデコーダCD0、CD1、DQバッファ（バンクの入出力部のバッファのことをいう）DQなどの周辺回路が形成されている。

【0060】1つのバンク内のメモリアレイは、4つの中ブロックBLa、BLb、BLc、BLdに分けられている。また、各中ブロックは、2つの小ブロックCAL、CARに分けられている。従って、1つのバンク内のメモリアレイは、8個のブロックから構成されている。

【0061】ロウデコーダRDは、4つの中ブロックBLa、BLb、BLc、BLdの各々に、1つずつ設けられている。ロウデコーダRDは、ロウアドレス信号に基づいて、2つの小ブロックCAL、CARのうちのいずれか1つを選択し、かつ、選択された1つのブロック中の複数のロウから1つのロウ（ワード線17）を選択する。

【0062】カラムデコーダCD0、CD1は、1つのバンク内に2つ設けられている。カラムデコーダCD0、CD1は、それぞれカラムアドレス信号に基づいて、4つの中ブロックBLa、BLb、BLc、BLdのメモリアレイの1つ又は複数のカラムを選択する。

【0063】即ち、カラムデコーダCD0、CD1により所定のカラム選択線15-0、15-1が選択されると、その所定のカラム選択線15-0、15-1に接続されたカラム選択スイッチ16がオン状態となり、1つのデータ線14のデータ又は複数のデータ線14のデータがセンスアンプSA及びデータ線14と区別する）18を経由してDQバッファDQに導かれる。

【0064】本参考例では、1つのカラムデコーダが2つのカラムを選択するように構成されている。この場合、2つのカラムデコーダが存在するため、中ブロックBLa、BLb、BLc、BLdの各々からは、4ビットのデータが入出力される。つまり、1つのバンクからは、16ビット（2バイト）のデータが入出力される。この16ビットのデータは、データバス13を通じて、バンク11-0～11-3のうちの1つと、データ入出力領域12との間を行き来する。

【0065】センスアンプSA及びカラム選択スイッチ16は、メモリアレイのそれぞれの中ブロックBLa、BLb、BLc、BLdにおいて、メモリアレイの小ブロックCAL、CARの間に配置されている。

【0066】ロウデコーダRDとDQバッファDQは、メモリアレイCAL、CARを中央に挟んで、互いに対向するように配置されている。カラムデコーダCD0は、4つの中ブロックBLa、BLb、BLc、BLdが配置される方向、即ち、カラム方向（データ線14又はカラム選択線が延長する方向）の2つの端部のうちの一方側に配置され、カラムデコーダCD1は、当該2つの端部のうちの他方側に配置されている。

【0067】セルアレイコントローラCACは、ロウデコーダRDに接続して配置される。セルアレイコントローラCACは、バンク内のデータの入出力動作の制御を行っている。

【0068】DQバッファDQの直後には、一般に、バンクを選択するためのバンクセレクトSELが配置されている。

【0069】データは、データ線14、センスアンプSA及びカラム選択スイッチ16を経由した後、DQ線18に導かれる。DQ線18は、メモリアレイのそれぞれの中ブロックBLa、BLb、BLc、BLdにおいて、メモリアレイの小ブロックCAL、CARの間に配置されている。

【0070】従って、データは、DQ線18により、メモリアレイの4つの中ブロックBLa、BLb、BLc、BLdが配置される方向（カラム方向）に直交する方向、即ち、ロウ方向（ワード線が延長する方向）に移動した後、DQバッファDQを経由して、バンクから出力される。

【0071】4つのバンクに共有されるデータバス13は、バンク11-0、11-1とバンク11-2、11-3の間に配置され、メモリアレイの中ブロックBLa、BLb、BLc、BLdが配置される方向、即ち、カラム方向に延長している。データバス13は、バンク11-0～11-3とデータ入出力領域12の間におけるデータの入出力の経路となるものである。

【0072】本参考例では、16ビットタイプの半導体メモリを前提としているため、データバス13は、16ビット（2バイト）のデータの入出力を同時に行えるよ

うに構成されている。

【0073】データ入出力領域12には、16ビット（2バイト）のデータの入出力を同時に行えるように、16個の入出力回路（I/O）が形成されている。

【0074】上述の半導体メモリのデータ入出力動作は、以下のようにして行われる。

【0075】まず、バンクセクタSELにより、4つのバンク11-0~11-3のうちから1つのバンクが選択される。選択された1つのバンクでは、アドレス信号に基づいてメモリセルのアクセス動作が行われる。

【0076】データの出力（読み出し）の場合には、2nビット（例えば16ビット（2バイト））のデータが、DQ線対18を經由して、当該選択された1つのバンクから出力される。バンクから出力された2nビットのデータは、データバス13を經由して、データ入出力領域12に送られ、かつ、データ入出力領域12から半導体メモリ（メモリチップ）外部に出力される。

【0077】データの入力（書き込み）の場合には、2nビット（例えば16ビット（2バイト））のデータが、データ入出力領域12、データバス13を經由して、当該選択された1つのバンクに入力される。当該選択された1つのバンクに入力された2nビットのデータは、DQ線対18及びセンスアンプSAを經由して、メモリセルアレイのメモリセルに記憶される。

【0078】上述の半導体メモリのチップレイアウトには、以下の欠点がある。

【0079】第一に、4つのバンク11-0~11-3に共有されるデータバス13は、メモリチップ10の中央部を貫通して配置され、カラム方向（データ線対又はカラム選択線が延長する方向）に延長している。この場合、半導体メモリのビットタイプ、即ち、同時に入出力動作を行うビット数に比例して、データバス13の本数が増え、データバス13の領域が増大する。

【0080】例えば、16ビットタイプ（×16）の半導体メモリの場合、データバス13は、16ビット分のデータを転送できる数の配線が必要となり、同様に、32ビットタイプ（×32）の半導体メモリの場合、データバス13は、32ビット分のデータを転送できる数の配線が必要となる。

【0081】第二に、バンク内の中ブロックBLa~BLdのそれぞれに配置されるDQ線対18は、メモリセルアレイの小ブロックCAL、CARの間にのみ配置され、ロウ方向（ワード線が延長する方向）のみに延長している。この場合、1つの中ブロックから出力されるビット数に比例して、DQ線対18の本数が増え、DQ線対18の領域が増大する。

【0082】例えば、1つの中ブロックにおいて4ビットのデータの入出力を行う場合、DQ線対18は、4ビット分のデータを転送できる数の配線が必要となり、同様に、1つの中ブロックにおいて8ビットのデータの

出力を行う場合、DQ線対18は、8ビット分のデータを転送できる数の配線が必要となる。

【0083】第三に、バンク内において、ロウ方向の2つの端部の一方にロウデコーダRDが配置され、他方にDQバッファDQが配置されている。この場合、カラムデコーダCDは、バンク内において、カラム方向の2つの端部の一方に配置され、カラムデコーダCD1は、当該2つの端部の他方に配置される。

【0084】また、セルアレイコントローラCACは、4つの中ブロックBLa、BLb、BLc、BLdに跨がるように、ロウ方向の2つの端部の一方に配置される。

【0085】従って、ロウデコーダRDとセルアレイコントローラCACは、共に、ロウ方向の2つの端部の一方に配置されるため、ロウデコーダRD及びセルアレイコントローラCACを構成する素子の配置や配線などが煩雑になる。

【0086】図3は、本発明の第2参考例である半導体メモリのチップレイアウトを示している。図4は、図3の1つのバンク内のレイアウトを詳細に示している。

【0087】この参考例では、32ビットのデータを同時に入出力することができる32ビットタイプ（×32）の半導体メモリについて説明する。

【0088】1つのメモリチップ10上には、4つのバンク11-0~11-3が配置されている。各バンク11-0~11-3には、メモリセルアレイCAL、CAR、セルアレイコントローラCACが形成され、かつ、ロウデコーダRD、カラムデコーダCD0、CD1、DQバッファ（バンクの入出力部のバッファのことをいう）DQなどの周辺回路が形成されている。

【0089】1つのバンク内のメモリセルアレイは、4つの中ブロックBLa、BLb、BLc、BLdに分けられている。また、各中ブロックは、2つの小ブロックCAL、CARに分けられている。従って、1つのバンク内のメモリセルアレイは、8個のブロックから構成されている。

【0090】ロウデコーダRDは、4つの中ブロックBLa、BLb、BLc、BLdの各々に、1つずつ設けられている。ロウデコーダRDは、ロウアドレス信号に基づいて、2つの小ブロックCAL、CARのうちのいずれか1つを選択し、かつ、選択された1つのブロック中の複数のロウから1つのロウ（ワード線17）を選択する。

【0091】カラムデコーダCD0~CD3は、1つのバンク内に4つ設けられている。カラムデコーダCD0~CD3は、それぞれカラムアドレス信号に基づいて、4つの中ブロックBLa、BLb、BLc、BLdのメモリセルアレイの1つ又は複数のカラムを選択する。

【0092】即ち、カラムデコーダCD0~CD3により所定のカラム選択線15-0~15-3が選択される

と、その所定のカラム選択線15-0~15-3に接続されたカラム選択スイッチ16がオン状態となり、1つのデータ線対14のデータ又は複数のデータ線対14のデータがセンスアンプSA及びデータ線対(以下、このデータ線対をDQ線対と称し、データ線対14と区別する)18を経由してDQバッファDQに導かれる。

【0093】本参考例では、1つのカラムデコーダが2つのカラムを選択するように構成されている。この場合、カラムデコーダが4つ存在するため、中ブロックBLE、BLb、BLc、BLdの各々からは、8ビットのデータが入出力される。つまり、1つのバンクからは、32ビット(4バイト)のデータが入出力される。この32ビットのデータは、データバス13を通じて、バンク11-0~11-3のうちの1つと、データ入出力領域12との間を行き来する。

【0094】センスアンプSA及びカラム選択スイッチ16は、メモリセルアレイのそれぞれの中ブロックBLE、BLb、BLc、BLdにおいて、メモリセルアレイの小ブロックCAL、CARの間に配置されている。

【0095】ロウデコーダRDとDQバッファDQは、メモリセルアレイCAL、CARを中央に挟んで、互いに対向するように配置されている。カラムデコーダCDは、4つの中ブロックBLE、BLb、BLc、BLdが配置される方向、即ち、カラム方向(データ線対又はカラム選択線が延長する方向)の2つの端部のうちの一方側に配置され、カラムデコーダCDOは、当該2つの端部のうちの他方側に配置されている。

【0096】セルアレイコントローラCACは、ロウデコーダRDに隣接して配置される。セルアレイコントローラCACは、バンク内のデータの入出力動作の制御を行っている。

【0097】DQバッファDQの直後には、一般に、バンクを選択するためのバンクセクタSELが配置されている。

【0098】データは、データ線対14、センスアンプSA及びカラム選択スイッチ16を経由した後、DQ線対18に導かれる。DQ線対18は、メモリセルアレイのそれぞれの中ブロックBLE、BLb、BLc、BLdにおいて、メモリセルアレイの小ブロックCAL、CARの間に配置されている。

【0099】従って、データは、DQ線対18により、メモリセルアレイの4つの中ブロックBLE、BLb、BLc、BLdが配置される方向(カラム方向)に直交する方向、即ち、ロウ方向(ワード線が延長する方向)に移動した後、DQバッファDQを経由して、バンクから出力される。

【0100】4つのバンクに共有されるデータバス13は、バンク11-0、11-1とバンク11-2、11-3の間に配置され、メモリセルアレイの中ブロックBLE、BLb、BLc、BLdが配置される方向、即

ち、カラム方向に延長している。データバス13は、バンク11-0~11-3とデータ入出力領域12の間におけるデータの入出力の経路となるものである。

【0101】本参考例では、32ビットタイプの半導体メモリを前提としているため、データバス13は、32ビット(4バイト)のデータの入出力を同時に行えるように構成されている。

【0102】データ入出力領域12には、32ビット(4バイト)のデータの入出力を同時に行えるように、32個の入出力回路(I/O)が形成されている。

【0103】上述の半導体メモリのデータ入出力動作は、以下のようにして行われる。

【0104】まず、バンクセクタSELにより、4つのバンク11-0~11-3のうちから1つのバンクが選択される。選択された1つのバンクでは、アドレス信号に基づいてメモリセルのアクセス動作が行われる。

【0105】データの出力(読み出し)の場合には、2nビット(例えば32ビット(4バイト))のデータが、DQ線対18を経由して、当該選択された1つのバンクから出力される。バンクから出力された2nビットのデータは、データバス13を経由して、データ入出力領域12に導かれ、かつ、データ入出力領域12から半導体メモリ(メモリチップ)外部に出力される。

【0106】データの入力(書き込み)の場合には、2nビット(例えば32ビット(4バイト))のデータが、データ入出力領域12、データバス13を経由して、当該選択された1つのバンクに入力される。当該選択された1つのバンクに入力された2nビットのデータは、DQ線対18及びセンスアンプSAを経由して、メモリセルアレイのメモリセルに記憶される。

【0107】上述の半導体メモリのチップレイアウトには、図2及び図3に示す第1参考例の半導体メモリのチップレイアウトと同様の欠点がある。

【0108】即ち、第一に、半導体メモリのビットタイプ、即ち、同時に入出力動作を行うビット数に比例して、複数のバンクに共通に設けられるデータバス13の本数が増え、データバス13の領域が増大する。第二に、各バンクの中ブロックから出力されるビット数に比例して、バンク内のDQ線対18の本数が増え、DQ線対18の領域が増大する。第三に、ロウデコーダRDとセルアレイコントローラCACは、共に、ロウ方向の2つの端部の一方に配置されるため、ロウデコーダRD及びセルアレイコントローラCACを構成する素子の配置や配線などが複雑になる。

【0109】本参考例では、さらに、カラム方向の2つの端部のそれぞれにおいて、2つのカラムデコーダが配置されるため、カラムデコーダCDO~CD3を構成する素子の配置や配線などが複雑になる。

【0110】図5は、図1及び図2の第1参考例の半導体メモリのバンクの位置とデータバスの位置を概略的に

示している。

【0111】メモリチップ10上の領域は、主に、バンク11-0~11-3及びデータ入出力領域(1/0)12により占められている。データ入出力領域12は、メモリチップ10の4つの辺のうちの1つ、即ち、カラム方向の2つの辺のうちの1つに隣接して配置されている。

【0112】バンク内のメモリセルアレイは、カラム方向に配置される複数の小ブロックから構成され、かつ、2つの小ブロックにより1つの中ブロックが構成されている。

【0113】各々の小ブロック内には、ロウ方向に延長するワード線と、カラム方向(小ブロックが配置される方向)に延長するデータ線及びカラム選択線が配置されている。

【0114】DQ線対18は、2つの小ブロックの間において、ロウ方向に延長している。2つの小ブロックの間のDQ線対18は、4ビットのデータを転送できる数だけ存在している。

【0115】データバス13は、バンク11-0、11-1とバンク11-2、11-3の間に配置され、カラム方向に延長している。データバス13は、16ビット(2バイト)のデータを転送できるように構成されている。

【0116】図6は、図1及び図2の第1参考例の半導体メモリのチップレイアウトの変形例を示している。図7は、図6の半導体メモリのチップレイアウトを詳細に示すものである。

【0117】このチップレイアウトは、図1及び図2のチップレイアウトに比べて、以下の点で相違している。

【0118】第一に、1つのバンク(メインバンク)を、2つのサブバンクから構成している。

【0119】即ち、メインバンク11-0は、サブバンク11-0-0~11-0-#1から構成され、メインバンク11-1は、サブバンク11-1-0~11-1-#1から構成され、メインバンク11-2は、サブバンク11-2-0~11-2-#1から構成され、メインバンク11-3は、サブバンク11-3-0~11-3-#1から構成されている。

【0120】サブバンク11-0-0~11-0-#1は、バンク選択回路により、同時に選択される。サブバンク11-0-0~11-0-#1が選択された場合には、残りのサブバンクは、選択されない。同様に、例えば、サブバンク11-1-0~11-1-#1が選択された場合には、残りのサブバンクは、選択されない。

【0121】また、4つのサブバンク11-0-0~11-1-#0、11-2-#0、11-3-#0により1つのグループが構成され、4つのサブバンク11-0-#1、11-1-#1、11-2-#1、11-3-

-#1により1つのグループが構成されている。

【0122】つまり、サブバンク11-0-0~11-1-#0、11-2-#0、11-3-#0のグループにおいて、同時に8ビットのデータの入出力が行われ、サブバンク11-0-#1、11-1-#1、11-2-#1、11-3-#1のグループにおいて、同時に8ビットのデータの入出力が行われる。

【0123】第二に、1つのサブバンクにおいて8ビット(1バイト)のデータの入出力を行うように構成している。

【0124】サブバンクのレイアウトは、図1及び図2のバンクのレイアウトと比較すると、カラムデコーダCDが1つのみである点で相違している。なぜなら、本例の場合、1つのサブバンクでは、8ビットのデータの入出力が行われるため、カラムデコーダCDは、1つ存在すれば足りるからである。但し、カラムデコーダCDは、図1及び図2の半導体メモリと同様に、2つのカラムを選択し、メモリセルアレイの中ブロックBLa、BLb、BLc、BLdの各々において、2ビットのデータの入出力を実行するものとする。

【0125】サブバンク内における、メモリセルアレイCAL、CAR、ロウデコーダRD、DQ線対18及びDQバッファDQのレイアウトは、図1及び図2の半導体メモリのバンク内のレイアウトとはほぼ同じである。

【0126】第三に、データ入出力回路(1/0)12a、12bは、メモリチップ10の中央部においてロウ方向に長くなるように配置され、データバス13aは、サブバンク11-0-0~11-1-#0、11-2-#0、11-3-#0のグループにおいて、データ入出力回路12aの両側に配置され、データバス13bは、サブバンク11-0-#1、11-1-#1、11-2-#1、11-3-#1のグループにおいて、データ入出力回路12bの両側に配置されている。

【0127】データバス13a、13bは、それぞれサブバンクの間においてカラム方向に延長しており、メモリチップ10の中央部のデータ入出力回路12a、12bに接続されている。データバス13a、13bは、それぞれ8ビットのデータが転送できるように構成されている。

【0128】このようなチップレイアウトの半導体メモリでは、例えば、サブバンク11-0-0~11-0-#1が選択された場合には、サブバンク11-0-0とデータ入出力回路12aとの間においては、データバス13aを経由して8ビットのデータの授受が行われ、サブバンク11-0-#1とデータ入出力回路12bとの間においては、データバス13bを経由して8ビットのデータの授受が行われる。

【0129】図8は、図1及び図2の第1参考例の半導体メモリのチップレイアウトの変形例を示している。図9は、図8の半導体メモリのチップレイアウトを詳細に

示すものである。

【0130】このチップレイアウトは、図1及び図2のチップレイアウトに比べて、以下の点で相違している。

【0131】第一に、1つのバンク（メインバンク）を、2つのサブバンクから構成している。

【0132】即ち、メインバンク11-0は、サブバンク11-0-#0、11-0-#1から構成され、メインバンク11-1は、サブバンク11-1-#0、11-1-#1から構成され、メインバンク11-2は、サブバンク11-2-#0、11-2-#1から構成され、メインバンク11-3は、サブバンク11-3-#0、11-3-#1から構成されている。

【0133】サブバンク11-0-#0、11-0-#1は、バンク選択回路により、同時に選択される。サブバンク11-0-#0、11-0-#1が選択された場合には、残りのサブバンクは、選択されない。同様に、例えば、サブバンク11-1-#0、11-1-#1が選択された場合には、残りのサブバンクは、選択されない。

【0134】また、4つのサブバンク11-0-#0、11-1-#0、11-2-#0、11-3-#0により1つのグループが構成され、4つのサブバンク11-0-#1、11-1-#1、11-2-#1、11-3-#1により1つのグループが構成されている。

【0135】つまり、サブバンク11-0-#0、11-1-#0、11-2-#0、11-3-#0のグループにおいて、同時に8ビットのデータの入出力が行われ、サブバンク11-0-#1、11-1-#1、11-2-#1、11-3-#1のグループにおいて、同時に8ビットのデータの入出力が行われる。

【0136】第二に、1つのサブバンクにおいて8ビット（1バイト）のデータの入出力を行うように構成している。

【0137】バンクのレイアウトは、図1及び図2のバンクのレイアウトと比較すると、カラムデコーダCDが1つのみである点で相違している。なぜなら、本例の場合、1つのサブバンクでは、8ビットのデータの入出力が行われるため、カラムデコーダCDは、1つ存在すれば足りるからである。但し、カラムデコーダCDは、図1及び図2の半導体メモリと同様に、2つのカラムを選択し、メモリセルアレイの中ブロックBLE、BLb、BLc、BLdの各々において、2ビットのデータの入出力を実行するものとする。

【0138】バンク内における、メモリセルアレイCAL、CAR、ロウデコーダRD、DQ線封18及びDQバッファDQのレイアウトは、図1及び図2の半導体メモリのレイアウトと同じである。

【0139】第三に、データバス13aは、サブバンク11-0-#0、11-1-#0、11-2-#0、11-3-#0のグループにおいて、カラム方向に延長す

るように配置され、データバス13bは、サブバンク11-0-#1、11-1-#1、11-2-#1、11-3-#1のグループにおいて、カラム方向に延長するように配置されている。

【0140】即ち、データバス13aは、サブバンクの間において、カラム方向の端部に配置されたデータ入出力回路12aからカラム方向に延長し、データバス13bは、サブバンクの間において、カラム方向の端部に配置されたデータ入出力回路12bからカラム方向に延長している。

【0141】また、データバス13a、13bは、それぞれ8ビットのデータが転送できるように構成されている。

【0142】このようなチップレイアウトの半導体メモリでは、例えば、サブバンク11-0-#0、11-0-#1が選択された場合には、サブバンク11-0-#0とデータ入出力回路12aとの間においては、データバス13aを経由して8ビットのデータの授受が行われ、サブバンク11-0-#1とデータ入出力回路12bとの間においては、データバス13bを経由して8ビットのデータの授受が行われる。

【0143】図10は、本発明の第1実施例である半導体メモリのチップレイアウトを示している。図11は、図10の1つのバンク内のレイアウトを詳細に示している。

【0144】この実施例では、16ビットのデータを同時に入出力することができる16ビットタイプ（×16）の半導体メモリについて説明する。

【0145】1つのメモリチップ10上には、4つのバンク11-0～11-3が配置されている。各バンク11-0～11-3には、メモリセルアレイCAL、CAR、セルアレイコントローラCACが形成され、かつ、ロウデコーダRD、カラムデコーダCDO、CD1、DQバッファ（バンクの入出力部のバッファのことをいう）DQなどの周辺回路が形成されている。

【0146】1つのバンク内のメモリセルアレイは、4つの中ブロックBLE、BLb、BLc、BLdに分けられている。また、各中ブロックは、2つの小ブロックCAL、CARに分けられている。従って、1つのバンク内のメモリセルアレイは、8個のブロックから構成されている。

【0147】ロウデコーダRDは、4つの中ブロックBLE、BLb、BLc、BLdの各々に、1つずつ設けられている。ロウデコーダRDは、ロウアドレス信号に基づいて、2つの小ブロックCAL、CARのうちのいずれか1つを選択し、かつ、選択された1つのブロック中の複数のロウから1つのロウ（ワード線17）を選択する。

【0148】メモリセルアレイの小ブロックの選択は、2本のワード線19a、19bのいずれか一方に、高電

圧を印加することにより行われる。例えば、ワード線19aに高電圧を印加すると、スイッチ20aがオン状態になり、小ブロックCALが選択される。この時、ワード線19bには、低電圧が印加されているため、スイッチ20bがオフ状態になり、小ブロックCARは、非選択である。

【0149】カラムデコーダCDO、CD1は、1つのバンク内に2つ設けられている。カラムデコーダCDO、CD1は、それぞれカラムアドレス信号に基づいて、4つの中ブロックBLa、BLb、BLc、BLdのメモリアルレイの1つ又は複数のカラムを選択する。

【0150】例えば、カラムデコーダCD1によりカラム選択線15が選択されると、そのカラム選択線15に接続された2つのカラム選択スイッチ16がオン状態となる。そして、その2つのカラム選択スイッチ16に接続された2つのデータ線14から、2ビットのデータがセンスアンプSA及びカラム選択スイッチ16を経由して、データ線対（以下、このデータ線対をローカルDQ線対と称し、データ線対14と区別する）18aに出される。

【0151】本実施例では、1つのカラムデコーダが2つのカラムを選択するように構成されている。この場合、2つのカラムデコーダが存在するため、中ブロックBLa、BLb、BLc、BLdの各々からは、4ビットのデータが入出力される。つまり、1つのバンクからは、16ビット（2バイト）のデータが入出力される。

【0152】センスアンプSA及びカラム選択スイッチ16は、メモリアルレイのそれぞれの中ブロックBLa、BLb、BLc、BLdにおいて、メモリアルレイの小ブロックCAL、CARの間に配置されている。

【0153】ロウデコーダRDとセルアレイコントローラCACは、メモリアルレイCAL、CARを中央に挟んで、互いに対向するように配置されている。即ち、ロウデコーダRDは、4つの中ブロックBLa、BLb、BLc、BLdが配置される方向に垂直な方向、即ちロウ方向（ワード線17、19a、19bが延長する方向）の2つの端部のうちの一方側に配置され、セルアレイコントローラCACは、当該2つの端部のうちの他方側に配置されている。

【0154】セルアレイコントローラCACは、バンク内のデータの入出力動作の制御を行うものである。

【0155】カラムデコーダCDO、CD1は、4つの中ブロックBLa、BLb、BLc、BLdが配置される方向、即ち、カラム方向（データ線対又はカラム選択線が延長する方向）の2つの端部のうちの一方側に配置されている。

【0156】2つのカラムデコーダCDO、CD1は、各カラムデコーダCDO、CD1が担当するメモリアルレイのカラムを2分するように、ロウ方向に配置され

ている。

【0157】DQバッファDQは、カラム方向（データ線対又はカラム選択線が延長する方向）の2つの端部のうちの他方側に配置されている。即ち、カラムデコーダCDO、CD1とDQバッファDQは、メモリアルレイCAL、CARを中央に挟んで、互いに対向するように配置されている。

【0158】DQバッファDQの直後には、一般に、バンクを選択するためのバンクセクタSELが配置されている。

【0159】データは、データ線対14、センスアンプSA及びカラム選択スイッチ16を経由した後、ローカルDQ線対18aに送られる。ローカルDQ線対18aは、メモリアルレイのそれぞれの中ブロックBLa、BLb、BLc、BLdにおいて、メモリアルレイの小ブロックCAL、CARの間に配置されている。

【0160】従って、ローカルDQ線対18aは、ロウ方向（ワード線が延長する方向）に延長している。

【0161】また、データ線対（以下、このデータ線対をグローバルDQ線対と称し、データ線対14と区別する）18bは、メモリアルレイの小ブロックCAL、CAR上において、カラム方向に延長して配置されている。グローバルDQ線対18bの一端は、スイッチ21を経由してローカルDQ線対18aに接続され、他端は、DQバッファDQに接続されている。

【0162】スイッチ21のオン・オフは、コントロール信号CONにより制御されている。

【0163】4つのバンクに共有されるデータバス13は、バンク11-0、11-2とバンク11-1、11-3の間に配置され、ロウ方向に延長している。データバス13は、バンク11-0～11-3とデータ入出力領域12の間におけるデータの入出力の経路となるものである。

【0164】本実施例では、16ビットタイプの半導体メモリを前提としているため、データバス13は、16ビット（2バイト）のデータの入出力を同時に行えるように構成されている。

【0165】データ入出力領域12は、メモリチップ10のロウ方向の2つの端部のうちの一方側に配置されている。データ入出力領域12には、16ビット（2バイト）のデータの入出力を同時に行えるように、16個の入出力回路（I/O）が形成されている。

【0166】上述の半導体メモリのデータ入出力動作は、以下のようにして行われる。

【0167】まず、バンクセクタSELにより、4つのバンク11-0～11-3のうちから1つのバンクが選択される。選択された1つのバンクでは、アドレス信号に基づいてメモリアルレイのアクセス動作が行われる。

【0168】データの出力（読み出し）の場合には、2nビット（例えば16ビット（2バイト））のデータ

が、ローカルDQ線対18a及びグローバルDQ線対18bを経由して、当該選択された1つのバンクから出力される。バンクから出力された2nビットのデータは、データバス13を経由して、データ入出力領域12に送られ、かつ、データ入出力領域12から半導体メモリ（メモリチップ）外部に出力される。

【0169】データの入力（書き込み）の場合には、2nビット（例えば16ビット（2バイト））のデータが、データ入出力領域12、データバス13を経由して、当該選択された1つのバンクに入力される。当該選択された1つのバンクに入力された2nビットのデータは、ローカルDQ線対18a、グローバルDQ線対18b及びセンスアンプSAを経由して、メモリセルアレイのメモリセルに記憶される。

【0170】上述の半導体メモリのチップレイアウトには、以下の特徴がある。

【0171】第一に、セルアレイコントローラCACとロウデコーダRDは、メモリセルアレイCAL、CARを中央に挟んで、ロウ方向の端部に互いに対向するように配置されている。また、カラムデコーダCDD、CD1とDQバッファDQは、メモリセルアレイCAL、CARを中央に挟んで、カラム方向の端部に互いに対向するように配置されている。

【0172】即ち、セルアレイコントローラCAC、ロウデコーダRD、カラムデコーダCDD、CD1及びDQバッファDQは、いずれもメモリセルアレイCAL、CARの一边に隣接して配置することができる。

【0173】従って、セルアレイコントローラCAC、ロウデコーダRD、カラムデコーダCDD、CD1及びDQバッファDQを構成する素子の配置や配線などを容易に行うことができる。

【0174】第二に、バンク内に、ロウ方向に延長するローカルDQ線対18aと、カラム方向に延長するグローバルDQ線対18bを設け、データがバンクのカラム方向の端部から入出力されるように構成している。

【0175】即ち、DQバッファDQを、バンクのカラム方向の端部に設けることができるようになるため、上記第一の特徴を実現させることができる。

【0176】また、本実施例のように、メモリセルアレイの1つの中ブロックにおいて入出力を行うビット数が4ビットの場合であっても、小ブロックCAL、CARの間に配置されるローカルDQ線対18aは、カラムデコーダCDD側に2ビット分、カラムデコーダCD1側に2ビット分だけ設ければよい。

【0177】これは、カラムデコーダCDD、CD1が、メモリセルアレイに隣接してロウ方向に配置され、また、データの入出力がバンクのカラム方向の端部において行われるためである。

【0178】従って、ローカルDQ線対18aに必要とされる領域を小さくすること、具体的には、DQ線対を

配置するために必要とされる領域を図1及び図2の参考例の半分にすることができる。

【0179】また、グローバルDQ線対18bは、1つの中ブロックにおいて4ビットのデータの入出力を行う場合、1つのバンクでは、16ビットのデータの転送を行うことができる数だけ必要となる。しかし、グローバルDQ線対18bは、メモリセルアレイCAL、CAR上に配置されているため、グローバルDQ線対18bを配置するための領域を新たに設ける必要がない。

【0180】第三に、データバス13は、バンク11-0、11-2とバンク11-1、11-3の間においてロウ方向に延長して配置されている。これは、バンク内のDQバッファDQが、カラム方向の2つの端部のうちの1つに配置されるためである。

【0181】その結果、バンク及びデータ入出力回路の配置を工夫することにより、データバス13を構成する配線の数を減らすことができ、メモリチップ10上に占めるデータバス13の領域を縮小することができる。

【0182】図12は、図10及び図11の半導体メモリを構成するスイッチ16、21の構成の一例を示している。

【0183】カラム選択スイッチ16は、NチャネルタイプMOSトランジスタN1、N2から構成されている。MOSトランジスタN1、N2のゲートは、カラム選択線15に接続され、ソース・ドレイン領域の一方は、センスアンプSAに接続され、ソース・ドレイン領域の他方は、ローカルDQ線対18aに接続されている。

【0184】スイッチ21は、NチャネルタイプMOSトランジスタN3、N4から構成されている。MOSトランジスタN3、N4のゲートは、コントロール線22に接続され、ソース・ドレイン領域の一方は、ローカルDQ線対18aに接続され、ソース・ドレイン領域の他方は、DQバッファDQに接続されている。

【0185】図13は、図10及び図11の半導体メモリのカラムデコーダの構成の一例を示している。

【0186】本例では、カラムデコーダCDDを例にして説明する。

【0187】カラムアドレス信号A0～A10は、カラムデコーダCDDに入力される。カラムアドレス信号A0～A7は、プリデコーダ（NAND回路）23-1、23-2、～23-Nのうちのいずれか1つのプリデコーダの出力信号のレベルを“L（low）”とし、残りの全てのプリデコーダの出力信号のレベルを“H（high）”とする。また、カラムアドレス信号A8～A10は、デコーダ24-1、24-2、～24-Mのうちのいずれか1つのデコーダの出力信号のレベルを“L（low）”とし、残りの全てのデコーダの出力信号のレベルを“H（high）”とする。

【0188】プリデコーダ23-1、23-2、～23

-Nの出力信号は、ブロック25-1, 25-2, ~25-Nに入力され、デコーダ24-1, 24-2, ~24-Mの出力信号は、全てのブロック25-1, 25-2, ~25-Nに入力される。

【0189】NOR回路26-0, 26-1, ~26-7には、プリデコーダ23-1, 23-2, ~23-Nの出力信号及びデコーダ24-1, 24-2, ~24-Mの出力信号が入力される。

【0190】例えば、プリデコーダ23-1の出力信号のレベルが“L”であり、デコーダ24-1の出力信号のレベルが“L”である場合、NOR回路26-0の出力信号のレベルのみが“H”となり、残りの全てのNOR回路の出力信号のレベルは、“L”となる。

【0191】NOR回路26-0, 26-1, ~26-7の出力信号は、制御信号Lのレベルが“H”の期間において、トランスファゲート27-0, 27-1, ~27-7を経由して、ラッチ回路28-0, 28-1, ~28-7に入力される。

【0192】ラッチ回路28-0, 28-1, ~28-7の出力信号は、制御信号Tのレベルが“H”の期間において、AND回路29-0, 29-1, ~29-7を経由して、カラム選択線15に与えられる。

【0193】例えば、プリデコーダ23-1の出力信号のレベルが“L”であり、デコーダ24-1の出力信号のレベルが“L”である場合、カラム選択線15のうち1つのカラム選択線CSLOのレベルのみが“H”となり、残りの全てのカラム選択線のレベルは、“L”となる。“H”レベルのカラム選択線に接続されたカラム選択スイッチは、オン状態となる。

【0194】BWは、ブロックライト信号である。このブロックライト信号BWのレベルは、通常モードのときは“L”であるが、ブロックライトモードのときは“H”となる。つまり、ブロックライトモードのときは、全てのデコーダ24-1, 24-2, ~24-Mの出力信号のレベルは、カラムアドレス信号A8~A10に依存することなく、“L”となる。

【0195】従って、例えば、プリデコーダ23-1の出力信号のレベルが“L”である場合、ブロック25-1により制御される8本のカラム選択線CSLO~CSL7の全てのレベルが“H”となる。“H”レベルのカラム選択線に接続されたカラム選択スイッチは、オン状態となる。

【0196】これにより、ブロック単位で、データの書き込みを行うことができる。

【0197】図14は、図10及び図11の半導体メモリのバンク選択回路SELの構成の一例を示している。

【0198】バンク選択回路SELは、DQバッファDQとデータバス13の間に接続されるトランスファゲートT01, T02, T11, T12, T21, T22, T31, T32により構成される。トランスファゲート

T01, T02, T11, T12, T21, T22, T31, T32は、NチャネルタイプMOSトランジスタとPチャネルタイプMOSトランジスタから構成されている。

【0199】バンク11-0において、バンク選択回路SELには、バンク選択信号BNK0, /BLK0が入力されている。即ち、トランスファゲートT01, T02を構成するNチャネルタイプMOSトランジスタのゲートには、バンク選択信号BNK0が入力され、トランスファゲートT01, T02を構成するPチャネルタイプMOSトランジスタのゲートには、バンク選択信号/BNK0が入力されている。

【0200】同様に、バンク11-1において、バンク選択回路SELには、バンク選択信号BNK1, /BLK1が入力され、バンク11-2において、バンク選択回路SELには、バンク選択信号BNK2, /BLK2が入力され、バンク11-3において、バンク選択回路SELには、バンク選択信号BNK3, /BLK3が入力されている。

【0201】バンク選択信号BNK0~BNK3は、いずれか1つのレベルが“H”となり、残りの全てのレベルは“L”となる。

【0202】例えば、バンク11-0が選択された場合、バンク選択信号BNK0のレベルが“H”となり、バンク選択信号BNK1, BNK2, BNK3のレベルは“L”となる。この時、バンク11-0のDQバッファDQのみが、データバス13に接続され、バンク11-1, 11-2, 11-3のDQバッファDQは、データバス13と切断される。

【0203】その結果、データの授受は、バンク11-0とデータ入出力回路12の間においてのみ可能となる。

【0204】図15は、図10及び図11の半導体メモリのデータ入出力回路12の構成の一例を示している。

【0205】本例では、1ビットのデータの入出力を行う1つのデータ入出力回路について説明する。即ち、例えば、16ビットタイプ(×16)の半導体メモリでは、本例のデータ入出力回路が16個必要になる。

【0206】このデータ入出力回路は、主として、データバスセンスアンプDBSAMP、データバス書き込みバッファDBWBF、出力ラッチ回路30、出力回路31及び出力バッファ32から構成されている。

【0207】データバス書き込みバッファDBWBFは、データの書き込みを行う際に使用される。

【0208】制御信号NWは、クロックドインバータC11に入力され、制御信号WXは、クロックドインバータC12, C15に入力されている。通常動作モードのデータ書き込みでは、制御信号NWのレベルが“H”となり、クロックドインバータC11が活性化される。また、制御信号WXのレベルが“H”の期間において、入

カデータ（書き込みデータ）RW Dm (mは、0、1… or 15) は、クロックドインバータC I 1、ラッチ回路LA及びクロックドインバータC I 2、C I 5を経由して、データバス13に送られる。このデータは、データバス13を経由して、選択されたバンクに入力される。

【0209】制御信号BWは、クロックドインバータC I 3に入力されている。ブロック書き込みモードのデータ書き込みでは、制御信号BWのレベルが“H”となり、クロックドインバータC I 3が活性化される。また、制御信号WXのレベルが“H”の期間において、カラーレジスタデータCRm (mは、0、1… or 15) は、クロックドインバータC I 3、ラッチ回路LA及びクロックドインバータC I 2、C I 5を経由して、データバス13に送られる。このデータは、データバス13を経由して、選択されたバンクに入力される。

【0210】カラーレジスタデータCRmは、カラーレジスタから供給される。カラーレジスタには、ブロック書き込みモード時に複数のメモリセルに同時に書き込むデータのパターンが、予め記憶されている。カラーレジスタは、一般に、画像メモリに備えられており、予め決められたパターンのデータを複数のメモリセルに同時に書き込む際に用いられる。カラーレジスタの内容（データパターン）は、カラーレジスタのデータを変更するモードにおいて、変更される。

【0211】制御信号TWは、クロックドインバータC I 4に入力されている。テストモードのデータ書き込みでは、制御信号TWのレベルが“H”となり、クロックドインバータC I 4が活性化される。また、制御信号WXのレベルが“H”の期間において、エクスクルーシブOR回路EXの出力信号は、クロックドインバータC I 4、ラッチ回路LA及びクロックドインバータC I 2、C I 5を経由して、データバス13に送られる。このデータは、データバス13を経由して、選択されたバンクに入力される。

【0212】エクスクルーシブOR回路EXには、カラーレジスタデータ / CRm及びデータRW Dmが入力されている。即ち、本例では、テストモード時に用いるデータパターンを、カラーレジスタから得るように構成している。

【0213】本実施例の半導体メモリに使用されるテスト回路については、後述する。

【0214】データバスセンスアンプDBS AMPは、データの読み出しを行う際に使用される。

【0215】データバスセンスアンプDBS AMPは、NチャネルタイプのオペアンプSAN及びPチャネルタイプのオペアンプSAPを有している。データバスセンスアンプDBS AMPは、活性信号RENB Lのレベルが“H”となったときに活性化され、活性信号RENB Lのレベルが“L”となったときに非活性化される。

【0216】活性信号RENB Lのレベルが“L”のとき、クロックドインバータC I 6は、非活性化され、データバスセンスアンプDBS AMPは、読み出し書き込みデータ線RW D線から切り離される。読み出し書き込みデータ線RW D線は、出力データ（読み出しデータ）の経路となると共に、入力データ（書き込みデータ）の経路にもなる。

【0217】プリチャージトランジスタPRは、出力データRW Dm (mは、0、1… or 15) が読み出し書き込みデータ線RW D線に出力される前に、この読み出し書き込みデータ線RW D線のレベルを“H”にプリチャージしておくためのものである。

【0218】出力データRW DmがデータバスセンスアンプDBS AMPから出力されると、この出力データRW Dmは、出力ラッチ回路30を経由して、出力回路31に入力される。

【0219】出力ラッチ回路30は、リセット信号/RSによりリセットされる。同期信号QSTは、出力回路31に入力されている。即ち、出力データDQm (mは、0、1… or 15) は、同期信号QSTに同期して出力回路31から出力され、出力バッファ32を経由して、メモリチップの外部に出力される。

【0220】NAND回路33及びエクスクルーシブOR回路34は、テストモード時に使用するテスト回路の一部である。

【0221】NAND回路33には、出力ラッチ回路30の出力データ及びテスト信号Re DTが入力される。テストモード時には、テスト信号Re DTのレベルが“H”となる。エクスクルーシブOR回路34には、NAND回路33の出力信号及びカラーレジスタデータ / CRmが入力されている。エクスクルーシブOR回路34は、テスト結果がOKかNGかを示す出力信号TR Dm (mは、0、1… or 15) を出力する。

【0222】図16は、本発明の半導体メモリに使用されるテスト回路の全体構成を示している。図16において、図15のデータ入出力回路の構成要素に対応する構成要素には、図15に付した符号と同じ符号を付してある。

【0223】このテスト回路は、32ビットタイプ（×32）の半導体メモリのテストを前提としている。

【0224】本実施例のテスト回路は、NAND回路33、エクスクルーシブOR回路34、テスト用切り替え回路100及びテスト用出力回路200から構成されている。

【0225】テストモード時には、テスト信号Re DTのレベルが“H”となる。エクスクルーシブOR回路34の出力信号TR Dm (mは、0、1… or 31) は、テスト用切り替え回路100に入力される。

【0226】テスト用切り替え回路100には、テスト結果を示す32ビットのデータが入力される。テスト用

切り替え回路100は、この32ビットのデータを順次（シリアルに）テスト用出力回路200に出力する。

【0227】テスト用出力回路200は、制御信号TOSTのレベルが“H”となると、活性化される。この時、制御信号OSTのレベルは、“L”であり、通常モード時に使用される出力回路31は、非活性化される。

【0228】図17は、本発明の半導体メモリに使用されるテスト回路の詳細を示している。図17において、図15のデータ入出力回路の構成要素に対応する構成要素には、図15に付した符号と同じ符号を付してある。

【0229】このテスト回路は、32ビットタイプ（×32）の半導体メモリのテストを前提としている。

【0230】カラーレジスタ35には、予め、所定のパターンを有するデータ（0, 1, 0, …1）が記憶されている。但し、カラーレジスタ35の内容（パターン）は、パターンを変更するモードにおいて、制御信号Zの入力により変更することができる。

【0231】エクスクルーシブOR回路EXには、カラーレジスタ35のデータ/CRO、/CR1、~/CR31及び入力データRWD0が入力されている。入力データRWD0のレベルは、“L”でもよく、また、“H”でもよい。

【0232】例えば、入力データRWD0のレベルが“L”のとき、セルアレイ0には、“H”のデータが入力され、セルアレイ1には、“L”のデータが入力され、セルアレイ2には、“H”のデータが入力され、セルアレイ31には、“L”のデータが入力される。

【0233】また、全てのセルアレイ0～31に正常である場合、当然、セルアレイ0からは、“H”のデータが出力され、セルアレイ1からは、“L”のデータが出力され、セルアレイ2からは、“H”のデータが出力され、セルアレイ31からは、“L”のデータが出力される。

【0234】この場合、エクスクルーシブOR回路34の出力信号TRDmは、全て、“L”となる。

【0235】エクスクルーシブOR回路34の出力信号TRDmは、テストモード切り替え回路100及びテストモード出力回路200を經由して、判定信号DOOとしてメモリチップの外部へ出力される。

【0236】テストモード切り替え回路100では、テスト結果がOK（セルアレイが正常）であるか又はNG（セルアレイが異常）であるかの判定を行う。セルアレイが正常の場合には、エクスクルーシブOR回路34の出力信号TRDmのレベルが全て“L”であるため、“L”レベルの出力信号が、テストモード切り替え回路100から出力され、テスト結果がOKであると判定される。

【0237】一方、セルアレイが異常である場合には、異常のセルアレイの出力データを受けるエクスクルーシブOR回路34の出力信号TRDmのレベルは、“H”

となる。この時、テストモード切り替え回路100の出力信号のレベルは、“H”となり、テスト結果がNGであると判定される。

【0238】テスト結果がNGの場合には、セルアレイ0～32のうちいずれのセルアレイが異常であるのが調査する。この調査は、ラッチ回路LATCH0～31にエクスクルーシブOR回路34の出力信号をラッチさせ、このラッチされたデータを順次、シリアルに読み出すことにより行うことができる。

【0239】このようなテスト回路によれば、カラーレジスタ35のデータを半導体メモリのテストに利用すると共に、テスト結果がNGである場合に、いずれのセルアレイのメモリセルが不良であることを示す信号をシリアルに出力するように構成している。

【0240】従って、本実施例のテスト回路では、テスト回路自体の構成が簡単になると共に、テストのみに使用するテスト用パッド（端子）は、1つあれば足り、メモリチップの縮小やコストの低減に貢献することができる。

【0241】図18は、図17のテストモード切り替え回路100の構成の一例を示している。

【0242】エクスクルーシブNOR部36は、セルアレイ0～31に不良が存在しているか否かを検査する部分である。

【0243】エクスクルーシブNOR部36は、エクスクルーシブOR回路EX-OR0, EX-OR1, ~EX-OR30と、クロックインバータC17とから構成されている。

【0244】出力信号TRD0～TRD31は、エクスクルーシブOR回路EX-OR0, EX-OR1, ~EX-OR30に入力される。出力信号TRD0～TRD31のレベルが全て“L”の場合、エクスクルーシブOR回路EX-OR30の出力信号のレベルは、“L”となる。

【0245】制御信号/SRCHのレベルが“H”となると、クロックインバータC17が活性化される。この時、テスト結果を示す出力信号ReDRDは、クロックインバータC17から出力される。

【0246】出力信号TRD0～TRD31のレベルが全て“L”の場合、出力信号ReDRDのレベルは、“H”となる。即ち、テスト結果がOKであることを示す信号が、テスト用出力回路から出力される。

【0247】出力信号TRD0～TRD31の少なくとも1つのレベルが“H”の場合、出力信号ReDRDのレベルは、“L”となる。即ち、テスト結果がNGであることを示す信号が、テスト用出力回路から出力される。

【0248】スイッチ回路部37は、テスト結果がNGのときに、どのセルアレイに不良が存在しているのか、不良のセルアレイを特定するためのものである。

【0249】スイッチ回路部37は、トランスファゲートTGO、TG1、~TG31及びクロックドインバータCI8から構成されている。トランスファゲートTGO、TG1、~TG31の各々は、NチャネルタイプMOSトランジスタとPチャネルタイプMOSトランジスタから構成されている。トランスファゲートTGO、TG1、~TG31のオン・オフ動作は、シリアルセクタ38により制御されている。

【0250】シリアルセクタ38は、制御信号SRCHのレベルが“H”のときに活性化され、クロック信号CLKに同期して、制御信号Q0、Q1、~Q31を出力する。制御信号Q0、Q1、~Q31のうちの1つは、“H”レベルであり、残りの全ては“L”レベルである。“H”レベルの制御信号は、Q0からQ31に向かって順次（シリアルに）切り替わっていく。即ち、データTRD0、TRD1、~TRD31が、順次（シリアルに）、クロックドインバータCI8を経由して出力される。

【0251】クロックドインバータCI8は、制御信号SRCHのレベルが“H”のときに活性化される。

【0252】図19及び図20は、テスト時における本発明の半導体メモリの動作を示している。

【0253】リデュース・テストモードでは、半導体メモリのセルアレイに不良が存在するか否かの検査を行う。シリアルサーチ・テストモードでは、複数のセルアレイのうちから不良の存在するセルアレイを特定する検査を行う。

【0254】/REは、ロウアドレス信号を半導体メモリ内に取り込むタイミングを決定する。即ち、/REのレベルが“L”のとき、ロウアドレス信号が半導体メモリ内に取り込まれる。

【0255】/CEは、カラムアドレス信号を半導体メモリ内に取り込むタイミングを決定する。即ち、/CEのレベルが“L”のとき、カラムアドレス信号が半導体メモリ内に取り込まれる。

【0256】リデュース・テストモードは、例えば、/CEのレベルが“L”のときにテスト信号TESTのレベルを“L”に設定することにより実行することができる。

【0257】シリアルサーチ・テストモードは、例えば、/CEのレベルが“L”のときにテスト信号TESTのレベルを“H”に設定することにより実行することができる。

【0258】図21は、本発明の第2実施例である半導体メモリのチップレイアウトを示している。

【0259】この実施例では、32ビットのデータを同時に出力することができる32ビットタイプ（×32）の半導体メモリについて説明する。

【0260】1つのメモリチップ10上には、4つのバンク11-0~11-3が配置されている。各バンク1

1-0~11-3には、メモリセルアレイCAL、CAR、セルアレイコントローラCACが形成され、かつ、ロウデコーダRD、カラムデコーダCDO~CD3、OQバッファ（バンクの入出力部のバッファのことをいう）OQなどの周辺回路が形成されている。

【0261】1つのバンク内のメモリセルアレイは、4つの中ブロックBLa、BLb、BLc、BLdに分けられている。また、各中ブロックは、2つの小ブロックCAL、CARに分けられている。従って、1つのバンク内のメモリセルアレイは、8個のブロックから構成されている。

【0262】ロウデコーダRDは、4つの中ブロックBLa、BLb、BLc、BLdの各々に、1つずつ設けられている。ロウデコーダRDは、ロウアドレス信号に基づいて、2つの小ブロックCAL、CARのうちのいずれかが1つを選択し、かつ、選択された1つのブロック中の複数のロウから1つのロウ（ワード線）を選択する。

【0263】カラムデコーダCDO~CD3は、1つのバンク内に4つ設けられている。カラムデコーダCDO~CD3は、それぞれカラムアドレス信号に基づいて、4つの中ブロックBLa、BLb、BLc、BLdのメモリセルアレイの1つ又は複数のカラムを選択する。

【0264】例えば、カラムデコーダCDOによりカラム選択線が選択されると、そのカラム選択線に接続された2つのカラム選択スイッチがオン状態となる。そして、その2つのカラム選択スイッチに接続された2つのデータ線から、2ビットのデータがローカルOQ線対18aに出力される。

【0265】本実施例では、1つのカラムデコーダが2つのカラムを選択するように構成されている。この場合、4つのカラムデコーダが存在するため、中ブロックBLa、BLb、BLc、BLdの各々からは、8ビットのデータが入出力される。つまり、1つのバンクからは、32ビット（4バイト）のデータが入出力される。

【0266】センスアンプ及びカラム選択スイッチは、メモリセルアレイのそれぞれの中ブロックBLa、BLb、BLc、BLdにおいて、メモリセルアレイの小ブロックCAL、CARの間に配置されている。

【0267】ロウデコーダRDとセルアレイコントローラCACは、メモリセルアレイCAL、CARを中央に挟んで、互いに対向するように配置されている。即ち、ロウデコーダRDは、4つの中ブロックBLa、BLb、BLc、BLdが配置される方向に垂直な方向、即ちロウ方向（ワード線が延長する方向）の2つの端部のうちの一方側に配置され、セルアレイコントローラCACは、当該2つの端部のうちの他方側に配置されている。

【0268】セルアレイコントローラCACは、バンク内のデータの入出力動作の制御を行うものである。

【0269】カラムデコーダCD0~CD3は、4つの中ブロックBLe, BLb, BLc, BLdが配置される方向、即ち、カラム方向（データ線又はカラム選択線が延長する方向）の2つの端部のうちの一方側に配置されている。

【0270】4つのカラムデコーダCD0~CD3は、各カラムデコーダCD0~CD3が担当するメモリセルアレイのカラムを4分するように、ロウ方向に配置されている。

【0271】DQバッファDQは、カラム方向の2つの端部のうちの他方側に配置されている。即ち、カラムデコーダCD0~CD3とDQバッファDQは、メモリセルアレイCAL, CARを中央に挟んで、互いに対向するように配置されている。

【0272】データは、データ線、センスアンプ及びカラム選択スイッチを経由した後、ローカルDQ線18aに導かれる。ローカルDQ線18aは、メモリセルアレイのそれぞれの中ブロックBLe, BLb, BLc, BLdにおいて、メモリセルアレイの小ブロックCAL, CARの間に配置されている。

【0273】従って、ローカルDQ線18aは、ロウ方向（ワード線が延長する方向）に延長している。

【0274】また、グローバルDQ線18bは、メモリセルアレイの小ブロックCAL, CAR上において、カラム方向に延長して配置されている。グローバルDQ線18bの一端は、スイッチを経由してローカルDQ線18aに接続され、他端は、DQバッファDQに接続されている。

【0275】4つのバンクに共有されるデータバス13は、バンク11-0, 11-2とバンク11-1, 11-3の間に配置され、ロウ方向に延長している。データバス13は、バンク11-0~11-3とデータ入出力領域12の間におけるデータの入出力の経路となるものである。

【0276】本実施例では、32ビットタイプの半導体メモリを前提としているため、データバス13は、32ビット（4バイト）のデータの入出力を同時に行えるように構成されている。

【0277】データ入出力領域12は、メモリチップ10のロウ方向の2つの端部のうちの一方側に配置されている。データ入出力領域12には、32ビット（4バイト）のデータの入出力を同時に行えるように、32個の入出力回路（I/O）が形成されている。

【0278】上述の半導体メモリのデータ入出力動作は、以下のようにして行われる。

【0279】まず、バンクセクタにより、4つのバンク11-0~11-3のうちから1つのバンクが選択される。選択された1つのバンクでは、アドレス信号に基づいてメモリセルのアクセス動作が行われる。

【0280】データの出力（読み出し）の場合には、3

2ビット（4バイト）のデータが、ローカルDQ線18a及びグローバルDQ線18bを経由して、当該選択された1つのバンクから出力される。バンクから出力された32ビットのデータは、データバス13を経由して、データ入出力領域12に導かれ、かつ、データ入出力領域12から半導体メモリ（メモリチップ）外部に出力される。

【0281】データの入力（書き込み）の場合には、32ビット（4バイト）のデータが、データ入出力領域12、データバス13を経由して、当該選択された1つのバンクに入力される。当該選択された1つのバンクに入力された32ビットのデータは、ローカルDQ線18a、グローバルDQ線18b及びセンスアンプを経由して、メモリセルアレイのメモリセルに記憶される。

【0282】上述の半導体メモリのチップレイアウトには、以下の特徴がある。

【0283】第一に、セルアレイコントローラCACとロウデコーダRDは、メモリセルアレイCAL, CARを中央に挟んで、ロウ方向の端部に互いに対向するように配置されている。また、カラムデコーダCD0~CD3とDQバッファDQは、メモリセルアレイCAL, CARを中央に挟んで、カラム方向の端部に互いに対向するように配置されている。

【0284】即ち、セルアレイコントローラCAC、ロウデコーダRD、カラムデコーダCD0~CD3及びDQバッファDQは、いずれもメモリセルアレイCAL, CARの一端に隣接して配置することができる。

【0285】従って、セルアレイコントローラCAC、ロウデコーダRD、カラムデコーダCD0~CD3及びDQバッファDQを構成する素子の配置や配線などを容易に行うことができる。

【0286】第二に、バンク内に、ロウ方向に延長するローカルDQ線18aと、カラム方向に延長するグローバルDQ線18bを設け、データがバンクのカラム方向の端部から入出力されるように構成している。

【0287】即ち、DQバッファDQを、バンクのカラム方向の端部に設けることができるようになるため、上記第一の特徴を実現させることができる。

【0288】また、本実施例のように、メモリセルアレイの1つの中ブロックにおいて入出力を行うビット数が8ビットの場合であっても、小ブロックCAL, CARの間に配置されるローカルDQ線18aは、カラムデコーダCD0側に2ビット分、同様に、カラムデコーダCD1~CD3側にもそれぞれ2ビット分だけ設ければよい。

【0289】これは、カラムデコーダCD0~CD3が、メモリセルアレイに隣接してロウ方向に配置され、また、データの入出力がバンクのカラム方向の端部において行われるためである。

【0290】従って、ローカルDQ線18aに必要と

される領域を小さくすることができる。

【0291】また、グローバルDQ線対18bは、1つの中ブロックにおいて8ビットのデータの入出力を行う場合、1つのバンクでは、32ビットのデータの転送を行うことができるだけ必要となる。しかし、グローバルDQ線対18bは、メモリセルアレイCAL、CAR上に配置されているため、グローバルDQ線対18bを配置するための領域を新たに設ける必要がない。

【0292】第三に、データバス13は、バンク11-0、11-2とバンク11-1、11-3の間においてロウ方向に延長して配置されている。これは、バンク内のDQバッファDQが、カラム方向の2つの端部のうちの1つに配置されるためである。

【0293】その結果、バンク及びデータ入出力回路の配置を工夫することにより、データバス13を構成する配線の本数を減らすことができ、メモリチップ10上に占めるデータバス13の領域を縮小することができる。

【0294】図22は、図10の第1実施例の半導体メモリのバンクの位置とデータバスの位置を概略的に示している。

【0295】メモリチップ10上の領域は、主に、バンク11-0~11-3及びデータ入出力領域(1/0)12により占められている。データ入出力領域12は、メモリチップ10の4つの辺のうちの1つの辺、即ち、ロウ方向の2つの辺のうちの1つの辺に隣接して配置されている。

【0296】バンク内のメモリセルアレイは、カラム方向に配置される複数の小ブロックから構成され、かつ、2つの小ブロックにより1つの中ブロックが構成されている。

【0297】各々の小ブロック内には、ロウ方向に延長するワード線と、カラム方向に延長するデータ線及びカラム選択線がそれぞれ配置されている。

【0298】ローカルDQ線対18aは、2つの小ブロックの間において、ロウ方向に延長している。また、グローバルDQ線対18bは、メモリセルアレイ上において、カラム方向に延長している。ローカルDQ線対18aとグローバルDQ線対18bは、スイッチにより互いに接続されている。

【0299】データバス13は、バンク11-0、11-2とバンク11-1、11-3の間に配置され、ロウ方向に延長している。データバス13は、16ビット(2バイト)のデータを転送できるように構成されている。

【0300】図23は、図10及び図22の半導体メモリの第1変形例を示すものである。

【0301】この変形例の特徴は、データ入出力回路(1/0)12をメモリチップ10の中央部に配置した点、及びデータ入出力回路12の両サイドに、バンク11-0~11-3とデータバス13a、13bをそれぞれ

に設けた点にある。

【0302】即ち、メモリチップ10上の領域は、主に、バンク11-0~11-3及びデータ入出力領域(1/0)12により占められている。データ入出力領域12は、メモリチップ10の中央部に配置され、カラム方向に長くなっている。

【0303】バンク11-0、11-1は、データ入出力領域12の一方側に配置され、バンク11-2、11-3は、データ入出力領域12の他方側に配置されている。

【0304】バンク内のメモリセルアレイは、カラム方向に配置される複数の小ブロックから構成され、かつ、2つの小ブロックにより1つの中ブロックが構成されている。各々の小ブロック内には、ロウ方向に延長するワード線と、カラム方向に延長するデータ線及びカラム選択線がそれぞれ配置されている。

【0305】ローカルDQ線対18aは、2つの小ブロックの間において、ロウ方向に延長している。また、グローバルDQ線対18bは、メモリセルアレイ上において、カラム方向に延長している。ローカルDQ線対18aとグローバルDQ線対18bは、スイッチにより互いに接続されている。

【0306】データバス13aは、バンク11-0とバンク11-1の間に配置され、ロウ方向に延長し、データ入出力回路12に接続されている。同様に、データバス13bは、バンク11-2とバンク11-3の間に配置され、ロウ方向に延長し、データ入出力回路12に接続されている。データバス13a、13bは、それぞれ16ビット(2バイト)のデータを転送できるように構成されている。

【0307】図24は、図23の半導体メモリのチップレイアウトを詳細に示している。

【0308】各々のバンク内のレイアウトは、図10の半導体メモリの各々のバンク内のレイアウトと同じである。

【0309】図25は、図21の半導体メモリの第1変形例を示すものである。

【0310】この変形例の特徴は、データ入出力回路(1/0)12をメモリチップ10の中央部に配置した点、及びデータ入出力回路12の両サイドに、バンク11-0~11-3とデータバス13a、13bをそれぞれ設けた点にある。

【0311】即ち、メモリチップ10上の領域は、主に、バンク11-0~11-3及びデータ入出力領域(1/0)12により占められている。データ入出力領域12は、メモリチップ10の中央部に配置され、カラム方向に長くなっている。

【0312】バンク11-0、11-1は、データ入出力領域12の一方側に配置され、バンク11-2、11-3は、データ入出力領域12の他方側に配置されてい

る。

【0313】バンク内のメモリセルアレイは、カラム方向に配置される複数の小ブロックから構成され、かつ、2つの小ブロックにより1つの中ブロックが構成されている。各々の小ブロック内には、ロウ方向に延長するワード線と、カラム方向に延長するデータ線及びカラム選択線がそれぞれ配置されている。

【0314】ローカルDQ線対18aは、2つの小ブロックの間において、ロウ方向に延長している。また、グローバルDQ線対18bは、メモリセルアレイ上において、カラム方向に延長している。ローカルDQ線対18aとグローバルDQ線対18bは、スイッチにより互いに接続されている。

【0315】データバス13aは、バンク11-0とバンク11-1の間に配置され、ロウ方向に延長し、データ入出力回路12に接続されている。同様に、データバス13bは、バンク11-2とバンク11-3の間に配置され、ロウ方向に延長し、データ入出力回路12に接続されている。データバス13a、13bは、それぞれ32ビット（4バイト）のデータを転送できるように構成されている。

【0316】各々のバンク内のレイアウトは、図22の半導体メモリの各々のバンク内のレイアウトと同じである。

【0317】図26は、図10及び図22の第1実施例の半導体メモリのチップレイアウトの第2変形例を示している。図27は、図26の半導体メモリのチップレイアウトを詳細に示すものである。

【0318】このチップレイアウトは、図10及び図22のチップレイアウトに比べて、以下の点で相違している。

【0319】第一に、1つのバンク（メインバンク）を、2つのサブバンクから構成している。

【0320】即ち、メインバンク11-0は、サブバンク11-0-0、11-0-1から構成され、メインバンク11-1は、サブバンク11-1-0、11-1-1から構成され、メインバンク11-2は、サブバンク11-2-0、11-2-1から構成され、メインバンク11-3は、サブバンク11-3-0、11-3-1から構成されている。

【0321】サブバンク11-0-0、11-0-1は、バンク選択回路により、同時に選択される。サブバンク11-0-0、11-0-1が選択された場合には、残りのサブバンクは、選択されない。同様に、例えば、サブバンク11-1-0、11-1-1が選択された場合には、残りのサブバンクは、選択されない。

【0322】また、4つのサブバンク11-0-0、11-0-1、11-1-0、11-1-1により1つのグループが構成され、このグループのバンク

は、データバス13aに接続されている。同様に、4つのサブバンク11-2-0、11-2-1、11-3-0、11-3-1により1つのグループが構成され、このグループのバンクは、データバス13bに接続されている。

【0323】第二に、1つのサブバンクにおいて8ビット（1バイト）のデータの入出力を行うように構成している。

【0324】サブバンクのレイアウトは、図10のバンクのレイアウトと比較すると、カラムデコーダCDが1つのみである点で相違している。なぜなら、本例の場合、1つのサブバンクでは、8ビットのデータの入出力が行われるため、カラムデコーダCDは、1つ存在すれば足りるからである。但し、カラムデコーダCDは、図10の半導体メモリと同様に、2つのカラムを選択し、メモリセルアレイの中ブロックBLa、BLb、BLc、BLdの各々において、2ビットのデータの入出力を実行するものとする。

【0325】サブバンク内における、メモリセルアレイCAL、CAR、ロウデコーダRD、ローカルDQ線対18a、グローバルDQ線対18b及びDQバックアードのレイアウトは、図10の半導体メモリのバンク内のレイアウトとはほぼ同じである。

【0326】第三に、データ入出力回路（I/O）12は、メモリチップ10の中央部においてカラム方向に長くなるように配置され、データバス13aは、データ入出力回路12の一方側においてサブバンク11-0-0、11-0-1、11-1-0、11-1-1に共通に設けられ、データバス13bは、データ入出力回路12の他方側においてサブバンク11-2-0、11-2-1、11-3-0、11-3-1に共通に設けられている。

【0327】データバス13a、13bは、それぞれサブバンクの間においてロウ方向に延長しており、メモリチップ10の中央部のデータ入出力回路12に接続されている。データバス13a、13bは、それぞれ16ビットのデータが転送できるように構成されている。

【0328】このようなチップレイアウトの半導体メモリでは、例えば、サブバンク11-0-0、11-0-1が選択された場合には、サブバンク11-0-0とデータ入出力回路12との間においては、データバス13aを経由して8ビットのデータの授受が行われ、同様に、サブバンク11-0-1とデータ入出力回路12との間においては、データバス13aを経由して8ビットのデータの授受が行われる。

【0329】図28は、図21の第2実施例の半導体メモリのチップレイアウトの第2変形例を示している。

【0330】このチップレイアウトは、図21のチップレイアウトに比べて、以下の点で相違している。

【0331】第一に、1つのバンク（メインバンク）

を、2つのサブバンクから構成している。

【0332】即ち、メインバンク11-0は、サブバンク11-0-#0、11-0-#1から構成され、メインバンク11-1は、サブバンク11-1-#0、11-1-#1から構成され、メインバンク11-2は、サブバンク11-2-#0、11-2-#1から構成され、メインバンク11-3は、サブバンク11-3-#0、11-3-#1から構成されている。

【0333】サブバンク11-0-#0、11-0-#1は、バンク選択回路により、同時に選択される。サブバンク11-0-#0、11-0-#1が選択された場合には、残りのサブバンクは、選択されない。同様に、例えば、サブバンク11-1-#0、11-1-#1が選択された場合には、残りのサブバンクは、選択されない。

【0334】また、4つのサブバンク11-0-#0、11-0-#1、11-1-#0、11-1-#1により1つのグループが構成され、このグループのバンクは、データバス13aに接続されている。同様に、4つのサブバンク11-2-#0、11-2-#1、11-3-#0、11-3-#1により1つのグループが構成され、このグループのバンクは、データバス13bに接続されている。

【0335】第二に、1つのサブバンクにおいて16ビット（2バイト）のデータの入出力を行うように構成している。

【0336】サブバンクのレイアウトは、図21のバンクのレイアウトと比較すると、カラムデコーダCDが2つである点で相違している。つまり、サブバンクのレイアウトは、図10のバンクのレイアウトと同じである。

【0337】なぜなら、本例の場合、1つのサブバンクでは、16ビットのデータの入出力が行われるため、カラムデコーダCDは、2つ存在すれば足りるからである。但し、カラムデコーダCDは、図21の半導体メモリと同様に、2つのカラムを選択し、メモリセルアレイの中ブロックBLa、BLb、BLc、BLdの各々において、4ビットのデータの入出力を実行するものとする。

【0338】サブバンク内における、メモリセルアレイCAL、CAR、ロウデコーダRD、ローカルDQ線対18a、グローバルDQ線対18b及びDQバッファDQのレイアウトは、図11の半導体メモリのバンク内のレイアウトと同じである。

【0339】第三に、データ入出力回路（I/O）12は、メモリチップ10の中央部においてカラム方向に長くなるように配置され、データバス13aは、データ入出力回路12の一方側においてサブバンク11-0-#0、11-0-#1、11-1-#0、11-1-#1に共通に設けられ、データバス13bは、データ入出力回路12の他方側においてサブバンク11-2-#0、

11-2-#1、11-3-#0、11-3-#1に共通に設けられている。

【0340】データバス13a、13bは、それぞれサブバンクの間においてロウ方向に延長しており、メモリチップ10の中央部のデータ入出力回路12に接続されている。データバス13a、13bは、それぞれ32ビットのデータが転送できるように構成されている。

【0341】このようなチップレイアウトの半導体メモリでは、例えば、サブバンク11-0-#0、11-0-#1が選択された場合には、サブバンク11-0-#0とデータ入出力回路12との間においては、データバス13aを経由して16ビットのデータの授受が行われ、同様に、サブバンク11-0-#1とデータ入出力回路12との間においては、データバス13aを経由して16ビットのデータの授受が行われる。

【0342】図29は、図10及び図22の第1実施例の半導体メモリのチップレイアウトの第3変形例を示している。図30は、図29の半導体メモリのチップレイアウトを詳細に示すものである。

【0343】このチップレイアウトは、図10及び図22のチップレイアウトに比べて、以下の点で相違している。

【0344】第一に、1つのバンク（メインバンク）を、2つのサブバンクから構成している。

【0345】即ち、メインバンク11-0は、サブバンク11-0-#0、11-0-#1から構成され、メインバンク11-1は、サブバンク11-1-#0、11-1-#1から構成され、メインバンク11-2は、サブバンク11-2-#0、11-2-#1から構成され、メインバンク11-3は、サブバンク11-3-#0、11-3-#1から構成されている。

【0346】サブバンク11-0-#0、11-0-#1は、バンク選択回路により、同時に選択される。サブバンク11-0-#0、11-0-#1が選択された場合には、残りのサブバンクは、選択されない。同様に、例えば、サブバンク11-1-#0、11-1-#1が選択された場合には、残りのサブバンクは、選択されない。

【0347】また、4つのサブバンク11-0-#0、11-1-#0、11-2-#0、11-3-#0により1つのグループが構成され、このグループのバンクは、データバス13a、13bを経由して、データ入出力回路12aに接続されている。同様に、4つのサブバンク11-0-#1、11-1-#1、11-2-#1、11-3-#1により1つのグループが構成され、このグループのバンクは、データバス13c、13dを経由して、データ入出力回路12bに接続されている。

【0348】第二に、1つのサブバンクにおいて8ビット（1バイト）のデータの入出力を行うように構成している。

【0349】サブバンクのレイアウトは、図10のバンクのレイアウトと比較すると、カラムデコーダCDが1つのみである点で相違している。なぜなら、本例の場合、1つのサブバンクでは、8ビットのデータの入出力が行われるため、カラムデコーダCDは、1つ存在すれば足りるからである。但し、カラムデコーダCDは、図10の半導体メモリと同様に、2つのカラムを選択し、メモリセルアレイの中ブロックBLE、BLb、BLc、BLdの各々において、2ビットのデータの入出力を実行するものとする。

【0350】サブバンク内における、メモリセルアレイCAL、CAR、ロウデコーダRD、ローカルDQ線対18a、グローバルDQ線対18b及びDQバッファDQのレイアウトは、図10の半導体メモリのバンク内のレイアウトとほぼ同じである。

【0351】第三に、データ入出力回路(I/O)12a、12bは、メモリチップ10上においてカラム方向に長くなるように配置され、データバス13a、13bは、データ入出力回路12aの両側に設けられ、データバス13c、13dは、データ入出力回路12bの両側に設けられている。

【0352】データバス13aは、サブバンク11-0-#0、11-1-#0に共通に設けられ、データバス13bは、サブバンク11-2-#0、11-3-#0に共通に設けられ、データバス13cは、サブバンク11-0-#1、11-1-#1に共通に設けられ、データバス13dは、サブバンク11-2-#1、11-3-#1に共通に設けられている。

【0353】データバス13a、13bは、それぞれサブバンクの間においてロウ方向に延長し、データ入出力回路12aに接続され、同時に、データバス13c、13dは、それぞれサブバンクの間においてロウ方向に延長し、データ入出力回路12bに接続されている。データバス13a~13dは、それぞれ8ビットのデータが転送できるように構成されている。

【0354】このようなチップレイアウトの半導体メモリでは、例えば、サブバンク11-0-#0、11-0-#1が選択された場合には、サブバンク11-0-#0とデータ入出力回路12aとの間においては、データバス13aを経由して8ビットのデータの授受が行われ、サブバンク11-0-#1とデータ入出力回路12bとの間においては、データバス13cを経由して8ビットのデータの授受が行われる。

【0355】つまり、16ビットタイプの半導体メモリにおいて、データバス13a~13dは、8ビットのデータを転送できる数の配線により構成すればよく、メモリチップ上のデータバスの領域を小さくすることができる。

【0356】図31は、図21の第2実施例の半導体メモリのチップレイアウトの第3変形例を示している。

【0357】このチップレイアウトは、図21のチップレイアウトに比べて、以下の点で相違している。

【0358】第一に、1つのバンク(メインバンク)を、2つのサブバンクから構成している。

【0359】即ち、メインバンク11-0は、サブバンク11-0-#0、11-0-#1から構成され、メインバンク11-1は、サブバンク11-1-#0、11-1-#1から構成され、メインバンク11-2は、サブバンク11-2-#0、11-2-#1から構成され、メインバンク11-3は、サブバンク11-3-#0、11-3-#1から構成されている。

【0360】サブバンク11-0-#0、11-0-#1は、バンク選択回路により、同時に選択される。サブバンク11-0-#0、11-0-#1が選択された場合には、残りのサブバンクは、選択されない。同様に、例えば、サブバンク11-1-#0、11-1-#1が選択された場合には、残りのサブバンクは、選択されない。

【0361】また、4つのサブバンク11-0-#0、11-1-#0、11-2-#0、11-3-#0により1つのグループが構成され、このグループのバンクは、データバス13a、13bを経由して、データ入出力回路12aに接続されている。同様に、4つのサブバンク11-0-#1、11-1-#1、11-2-#1、11-3-#1により1つのグループが構成され、このグループのバンクは、データバス13c、13dを経由して、データ入出力回路12bに接続されている。

【0362】第二に、1つのサブバンクにおいて16ビット(2バイト)のデータの入出力を行うように構成している。

【0363】サブバンクのレイアウトは、図21のバンクのレイアウトと比較すると、カラムデコーダCDが2つである点で相違している。つまり、サブバンクのレイアウトは、図10のバンクのレイアウトと同じである。

【0364】なぜなら、本例の場合、1つのサブバンクでは、16ビットのデータの入出力が行われるため、カラムデコーダCDは、2つ存在すれば足りるからである。但し、カラムデコーダCDは、図21の半導体メモリと同様に、2つのカラムを選択し、メモリセルアレイの中ブロックBLE、BLb、BLc、BLdの各々において、4ビットのデータの入出力を実行するものとする。

【0365】サブバンク内における、メモリセルアレイCAL、CAR、ロウデコーダRD、ローカルDQ線対18a、グローバルDQ線対18b及びDQバッファDQのレイアウトは、図10の半導体メモリのバンク内のレイアウトと同じである。

【0366】第三に、データ入出力回路(I/O)12a、12bは、メモリチップ10上においてカラム方向に長くなるように配置され、データバス13a、13b

は、データ入出力回路12aの両側に設けられ、データバス13c、13dは、データ入出力回路12bの両側に設けられている。

【0367】データバス13eは、サブバンク11-0-#0、11-1-#0に共通に設けられ、データバス13bは、サブバンク11-2-#0、11-3-#0に共通に設けられ、データバス13cは、サブバンク11-0-#1、11-1-#1に共通に設けられ、データバス13dは、サブバンク11-2-#1、11-3-#1に共通に設けられている。

【0368】データバス13e、13bは、それぞれサブバンクの間においてロウ方向に延長し、データ入出力回路12aに接続され、同様に、データバス13c、13dは、それぞれサブバンクの間においてロウ方向に延長し、データ入出力回路12bに接続されている。データバス13e~13dは、それぞれ16ビットのデータが転送できるように構成されている。

【0369】このようなチップレイアウトの半導体メモリでは、例えば、サブバンク11-0-#0、11-0-#1が選択された場合には、サブバンク11-0-#0とデータ入出力回路12aとの間においては、データバス13eを経由して16ビットのデータの授受が行われ、サブバンク11-0-#1とデータ入出力回路12bとの間においては、データバス13cを経由して16ビットのデータの授受が行われる。

【0370】つまり、32ビットタイプの半導体メモリにおいて、データバス13e~13dは、16ビットのデータを転送できる数の配線により構成すればよく、メモリチップ上のデータバスの領域を小さくすることができ、

【0371】図32は、図10及び図22の第1実施例の半導体メモリのチップレイアウトの第4変形例を示している。図33は、図32の半導体メモリのチップレイアウトを詳細に示すものである。

【0372】このチップレイアウトは、図10及び図22のチップレイアウトに比べて、以下の点で相違している。

【0373】第一に、1つのバンク（メインバンク）を、2つのサブバンクから構成している。

【0374】即ち、メインバンク11-0は、サブバンク11-0-#0、11-0-#1から構成され、メインバンク11-1は、サブバンク11-1-#0、11-1-#1から構成され、メインバンク11-2は、サブバンク11-2-#0、11-2-#1から構成され、メインバンク11-3は、サブバンク11-3-#0、11-3-#1から構成されている。

【0375】サブバンク11-0-#0、11-0-#1は、バンク選択回路により、同時に選択される。サブバンク11-0-#0、11-0-#1が選択された場合には、残りのサブバンクは、選択されない。同様に、

例えば、サブバンク11-1-#0、11-1-#1が選択された場合には、残りのサブバンクは、選択されない。

【0376】また、4つのサブバンク11-0-#0、11-1-#0、11-2-#0、11-3-#0により1つのグループが構成され、このグループのバンクは、データバス13aを経由して、データ入出力回路12に接続されている。同様に、4つのサブバンク11-0-#1、11-1-#1、11-2-#1、11-3-#1により1つのグループが構成され、このグループのバンクは、データバス13bを経由して、データ入出力回路12に接続されている。

【0377】第二に、1つのサブバンクにおいて8ビット（1バイト）のデータの入出力を行うように構成している。

【0378】サブバンクのレイアウトは、図10のバンクのレイアウトと比較すると、カラムデコーダCDが1つのみである点で相違している。なぜなら、本例の場合、1つのサブバンクでは、8ビットのデータの入出力が行われるため、カラムデコーダCDは、1つ存在すれば足りるからである。但し、カラムデコーダCDは、図10の半導体メモリと同様に、2つのカラムを選択し、メモリセルアレイの中ブロックBLa、BLb、BLc、BLdの各々において、2ビットのデータの入出力を実行するものとする。

【0379】サブバンク内における、メモリセルアレイCAL、CAR、ロウデコーダRD、ローカルDQ線対18a、グローバルDQ線対18b及びDQバッファDDQのレイアウトは、図10の半導体メモリのバンク内のレイアウトとほぼ同じである。

【0380】第三に、データ入出力回路（I/O）12は、メモリチップ10の中央部においてカラム方向に長くなるように配置され、データバス13a、13bは、データ入出力回路12の両側に設けられている。

【0381】データバス13eは、サブバンク11-0-#0、11-1-#0、11-2-#0、11-3-#0に共通に設けられ、データバス13bは、サブバンク11-0-#1、11-1-#1、11-2-#1、11-3-#1に共通に設けられている。

【0382】データバス13e、13bは、それぞれサブバンクの間においてロウ方向に延長し、データ入出力回路12に接続されている。データバス13a、13cは、それぞれ8ビットのデータが転送できるように構成されている。

【0383】このようなチップレイアウトの半導体メモリでは、例えば、サブバンク11-0-#0、11-0-#1が選択された場合には、サブバンク11-0-#0とデータ入出力回路12との間においては、データバス13aを経由して8ビットのデータの授受が行われ、サブバンク11-0-#1とデータ入出力回路12との

間においては、データバス13bを経由して8ビットのデータの授受が行われる。

【0384】つまり、16ビットタイプの半導体メモリにおいて、データバス13a、13bは、8ビットのデータを転送できる数の配線により構成すればよく、メモリチップ上のデータバスの領域を小さくすることができる。

【0385】図34は、図21の第2実施例の半導体メモリのチップレイアウトの第4変形例を示している。

【0386】このチップレイアウトは、図21のチップレイアウトに比べて、以下の点で相違している。

【0387】第一に、1つのバンク（メインバンク）を、2つのサブバンクから構成している。

【0388】即ち、メインバンク11-0は、サブバンク11-0-#0、11-0-#1から構成され、メインバンク11-1は、サブバンク11-1-#0、11-1-#1から構成され、メインバンク11-2は、サブバンク11-2-#0、11-2-#1から構成され、メインバンク11-3は、サブバンク11-3-#0、11-3-#1から構成されている。

【0389】サブバンク11-0-#0、11-0-#1は、バンク選択回路により、同時に選択される。サブバンク11-0-#0、11-0-#1が選択された場合には、残りのサブバンクは、選択されない。同様に、例えば、サブバンク11-1-#0、11-1-#1が選択された場合には、残りのサブバンクは、選択されない。

【0390】また、4つのサブバンク11-0-#0、11-1-#0、11-2-#0、11-3-#0により1つのグループが構成され、このグループのバンクは、データバス13aを経由して、データ入出力回路12に接続されている。同様に、4つのサブバンク11-0-#1、11-1-#1、11-2-#1、11-3-#1により1つのグループが構成され、このグループのバンクは、データバス13bを経由して、データ入出力回路12に接続されている。

【0391】第二に、1つのサブバンクにおいて16ビット（2バイト）のデータの入出力を行うように構成している。

【0392】サブバンクのレイアウトは、図21のバンクのレイアウトと比較すると、カラムデコーダCDが2つである点で相違している。つまり、サブバンクのレイアウトは、図10のバンクのレイアウトと同じである。

【0393】なぜなら、本例の場合、1つのサブバンクでは、16ビットのデータの入出力が行われるため、カラムデコーダCDは、2つ存在すれば足りるからである。但し、カラムデコーダCDは、図21の半導体メモリと同様に、2つのカラムを選択し、メモリセルアレイの中ブロックBLa、BLb、BLc、BLdの各々において、4ビットのデータの入出力を実行するものとす

る。

【0394】サブバンク内における、メモリセルアレイCAL、CAR、ロウデコーダRD、ローカルDQ線対18a、グローバルDQ線対18b及びDQバッファDQのレイアウトは、図10の半導体メモリのバンク内のレイアウトと同じである。

【0395】第三に、データ入出力回路（1/0）12は、メモリチップ10の中央部においてカラム方向に長くなるように配置され、データバス13a、13bは、データ入出力回路12の両側に設けられている。

【0396】データバス13aは、サブバンク11-0-#0、11-1-#0、11-2-#0、11-3-#0に共通に設けられ、データバス13bは、サブバンク11-0-#1、11-1-#1、11-2-#1、11-3-#1に共通に設けられている。

【0397】データバス13a、13bは、それぞれサブバンクの間においてロウ方向に延長し、データ入出力回路12に接続されている。データバス13a、13bは、それぞれ16ビットのデータが転送できるように構成されている。

【0398】このようなチップレイアウトの半導体メモリでは、例えば、サブバンク11-0-#0、11-0-#1が選択された場合には、サブバンク11-0-#0とデータ入出力回路12との間においては、データバス13aを経由して16ビットのデータの授受が行われ、サブバンク11-0-#1とデータ入出力回路12との間においては、データバス13bを経由して16ビットのデータの授受が行われる。

【0399】つまり、32ビットタイプの半導体メモリにおいて、データバス13a、13bは、16ビットのデータを転送できる数の配線により構成すればよく、メモリチップ上のデータバスの領域を小さくすることができる。

【0400】図35は、本発明のデータ転送システムを示している。

【0401】n（nは整数）個のブロックBL0～BLnは、それぞれ同じ要素から構成されている。ブロックBL0～BLnは、カラム方向に延長して配置されている。ブロックBL0を例にして、その構成について説明する。

【0402】ブロックBL0は、カラム方向に配置される2つのスイッチアレイ41a、41bを有している。スイッチアレイ41a、41bの各々は、マトリクス状に配置された複数のスイッチ（MOSTランジスタ）45a、45bから構成されている。

【0403】ロウデコーダ42aは、スイッチアレイ41aのロウ方向の2つの端部のうちの1つに隣接して配置されている。ロウデコーダ42bは、スイッチアレイ41bのロウ方向の2つの端部のうちの1つに隣接して配置されている。ワード線44a、44bの一端は、ロ

ウデコーダ42a、42bに接続され、かつ、ワード線44a、44bは、同じロウに属する複数のスイッチ46a、46bの制御端子（ゲート）に接続されている。

【0404】カラムデコーダ43は、スイッチアレイ41aのカラム方向の2つの端部のうちの1つに隣接して配置されている。カラム選択線49の一端は、カラムデコーダ43に接続されている。

【0405】レジスタ47a、47b及びカラム選択スイッチ48a、48bは、2つのスイッチアレイ41a、41bの間に配置されている。データ線45a、45bの一端は、レジスタ47a、47b及びカラム選択スイッチ48a、48bに接続され、かつ、データ線45a、45bは、同じカラムに属する複数のスイッチ46a、46bの出力端（ドレイン）に接続されている。カラム選択線49は、カラム選択スイッチ48a、48bに接続されている。

【0406】データは、複数のスイッチ46a、46bの入力端（ソース）に印加される。

【0407】ローカルDQ線50-0は、2つのスイッチアレイ41a、41bの間に配置され、ロウ方向に延長している。ローカルDQ線50-0は、レジスタ47a、47b及びカラム選択スイッチ48a、48bに接続されている。

【0408】グローバルDQ線51-0は、n個のブロックBLO~BLnのスイッチアレイ上に配置され、カラム方向に延長している。グローバルDQ線51-0の一端は、ローカルDQ線50-0に接続され、グローバルDQ線51-0の他端は、データ入出力回路（I/O）52に接続されている。

【0409】データ入出力回路52は、n個のブロックBLO~BLnのカラム方向の2つの端部のうちの1つに隣接して配置されている。

【0410】上述のデータ転送システムの特徴は、n個のブロックBLO~BLnがカラム方向に延長して配置されている場合に、例えば、ブロックBLO~BLnから出力されるデータが、スイッチアレイ41a、41b上のグローバルDQ線51-0~51-nを経由して、データ入出力回路52に送られている点にある。

【0411】つまり、ブロックBLO~BLnから出力されるデータは、ブロックBLO~BLnのカラム方向の2つの端部のうちの1つに隣接して配置されたデータ入出力回路52に集合すると共に、このデータ入出力回路52からLSIの外部に出力される。

【0412】図36は、本発明のメモリシステムの構成を示すものである。

【0413】ここでは、図1~図34の半導体メモリを使用するメモリシステムの一例について説明する。

【0414】10は、メモリチップである。メモリチップ10の構成は、図1~図34において説明した半導体メモリのうちから選択される1つの半導体メモリの構成

と同じに設定される。

【0415】メモリチップ10には、メモリセルアレイ51、読み出し・書き込み回路52、入力回路53、出力回路54、同期回路55及びクロックバッファ56が形成されている。

【0416】CPUチップ58は、クロック信号CKを出力する。クロック信号CKは、メモリチップ10に供給され、内部クロック信号CLKとなる。メモリチップ10内において、内部クロック信号CLKは、読み出し・書き込み回路52に供給される。読み出し・書き込み回路52は、内部クロック信号CLKに同期して動作する。

【0417】クロック信号CKと内部クロック信号CLKのずれ（スキュー）は、同期回路55により、取り除かれる。同期回路55は、内部クロック信号CK'を出力する。内部クロック信号CK'は、入力回路53及び出力回路54に供給される。入力回路53及び出力回路54は、内部クロック信号CK'に同期して動作する。

【0418】I/Oバス57は、メモリチップ10とCPUチップ58を接続する。データは、I/Oバス57を経由して、メモリチップ10とCPUチップ58の間を行き来する。

【0419】

【発明の効果】以上、説明したように、本発明の半導体メモリ及びそのテスト回路、並びにデータ転送システムによれば、次のような効果を奏する。

【0420】複数のバンクを設け、各バンク内には、メモリセルアレイの小ブロックの間に配置され、ロウ方向に伸びるローカルDQ線と、メモリセルアレイ上に配置され、カラム方向に伸びるグローバルDQ線とを設けている。そして、入出力データは、ローカルDQ線とグローバルDQ線を経由して、バンクのカラム方向の端部に設けられたDQバッファとメモリセルアレイとの間を行き来するように構成している。

【0421】このような構成にすることで、各バンク内のセルアレイコントローラ、ロウデコーダ、カラムデコーダ、DQバッファを、それぞれメモリセルアレイの一边に隣接して配置させることができるため、マルチビットタイプ、クロック同期タイプ、バンクタイプの半導体メモリにおいて、チップ面積を増大させることなく、データ転送速度を高めることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1参考例である半導体メモリのチップレイアウトを示す図。

【図2】図1のバンク内のチップレイアウトを詳細に示す図。

【図3】本発明の第2参考例である半導体メモリのチップレイアウトを示す図。

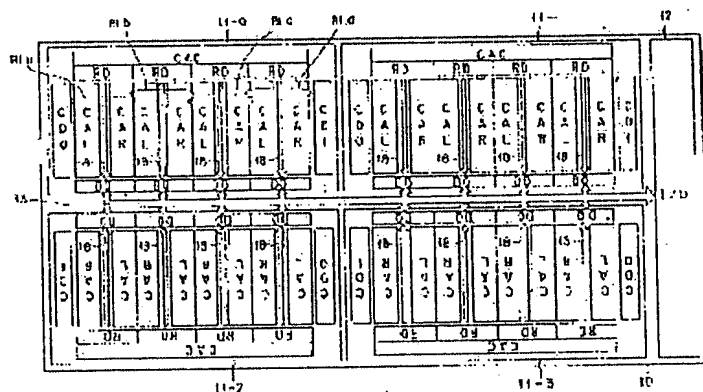
【図4】図3のバンク内のチップレイアウトを詳細に示す図。

【図5】図1のチップレイアウトを略して示す図。
 【図6】図1の第1参考例の変形例であるチップレイアウトを示す図。
 【図7】図6のチップレイアウトを詳細に示す図。
 【図8】図1の第1参考例の変形例であるチップレイアウトを示す図。
 【図9】図8のチップレイアウトを詳細に示す図。
 【図10】本発明の第1実施例である半導体メモリのチップレイアウトを示す図。
 【図11】図10のバンク内のチップレイアウトを詳細に示す図。
 【図12】図11のスイッチの構成の一例を示す図。
 【図13】カラムデコーダの構成の一例を示す図。
 【図14】バンク選択回路の構成の一例を示す図。
 【図15】データ入出力回路の構成の一例を示す図。
 【図16】テスト回路の構成の主要部を示す図。
 【図17】図16のテスト回路の構成を詳細に示す図。
 【図18】テスト用切り替え回路の構成の一例を示す図。
 【図19】テストモード時の信号波形を示す図。
 【図20】テストモード時の信号波形を示す図。
 【図21】本発明の第2実施例である半導体メモリのチップレイアウトを示す図。
 【図22】図10のチップレイアウトを略して示す図。
 【図23】図22のチップレイアウトの第1変形例を示す図。
 【図24】図23のチップレイアウトを詳細に示す図。
 【図25】図21のチップレイアウトの第1変形例を示す図。
 【図26】図22のチップレイアウトの第2変形例を示す図。
 【図27】図26のチップレイアウトを詳細に示す図。
 【図28】図21のチップレイアウトの第2変形例を示す図。
 【図29】図22のチップレイアウトの第3変形例を示す図。
 【図30】図29のチップレイアウトを詳細に示す図。
 【図31】図21のチップレイアウトの第3変形例を示す図。
 【図32】図22のチップレイアウトの第4変形例を示す図。
 【図33】図32のチップレイアウトを詳細に示す図。
 【図34】図21のチップレイアウトの第4変形例を示す図。
 【図35】本発明のデータ転送システムを示す図。
 【図36】本発明のメモリシステムを示す図。
 【図37】従来の半導体メモリのチップレイアウトを示す図。
 【符号の説明】
 10 : メモリチップ、

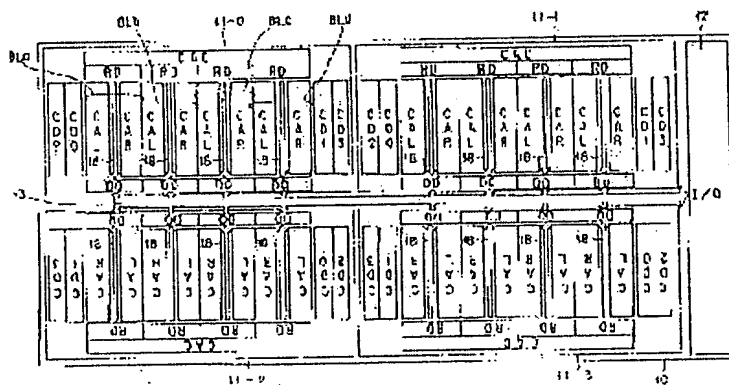
11-0~11-3 : バンク(メインバンク)、
 11-0-#0, 11-0-#1, ~11-3-#0, 11-3-#1: サブバンク、
 12, 12a, 12b : データ入出力(1/0)領域、
 13, 13a~13d : データバス、
 14 : データ線、
 15, 15-0~15-3 : カラム選択線、
 16 : カラム選択スイッチ、
 17, 19a, 19b : ワード線、
 18 : DQ線、
 18a : ローカルDQ線、
 18b : グローバルDQ線、
 20a, 20b, 21 : スイッチ、
 22 : コントロール線、
 23-1~23-N : プリデコーダ、
 24-1~24-M : デコーダ、
 25-1~25-N : ブロック、
 26-0~26-7 : NOR回路、
 27-0~27-7, T01, T02, T11, T12, T21, T22, T31, T32, TG0~TG31 : トランスファゲート、
 28-0~28-7 : ラッチ回路、
 29-0~29-7 : AND回路、
 30 : 出力ラッチ回路、
 31 : 出力回路、
 32 : 出力バッファ、
 33 : NAND回路、
 34 : エクスクルーシブOR回路、
 35 : カラーレジスタ、
 36 : エクスクルーシブNOR回路、
 37 : スイッチ回路部、
 38 : シリアルセレクタ、
 41a, 41b : スイッチアレイ、
 42a, 42b : ロウデコーダ、
 43 : カラムデコーダ、
 44a, 44b : ワード線、
 45a, 45b : データ線、
 46a, 46b : スイッチ、
 47a, 47b : レジスタ、
 48a, 48b : カラム選択スイッチ、
 49 : カラム選択線、
 50-0~50-n : ローカルDQ線、
 51-0~51-n : グローバルDQ線、
 51 : メモリセルアレイ、
 52 : 読み出し・書き込み回路、

53	: 入力回路、	DQ	: DQバッファ、
54	: 出力回路、	BLa~BLd	: 中ブロック、
55	: 同期回路、	SEL	: バンクセクタ、
56	: クロックバッファ、	SA	: センスアンプ、
57	: I/Oバス、	N1~N4	: NチャネルMOSトラン
58	: CPUチップ、	ジスタ、	
100	: テスト用切り替え回	DBSAMP	: データバスセンスアン
路、		プ、	
200	: テスト用出力回路、	DBWBF	: データバス書き込みバッ
CAL, CAR	: メモリセルアレイ (小ブ	ファ、	
ロック)、		C11~C17	: クロックドインバータ、
CAC	: セルアレイコントロー	LA	: ラッチ回路、
ラ、		EX	: エクスクルーシブOR回
RD	: ロウデコーダ、	98、	
CD0~CD3	: カラムデコーダ、		

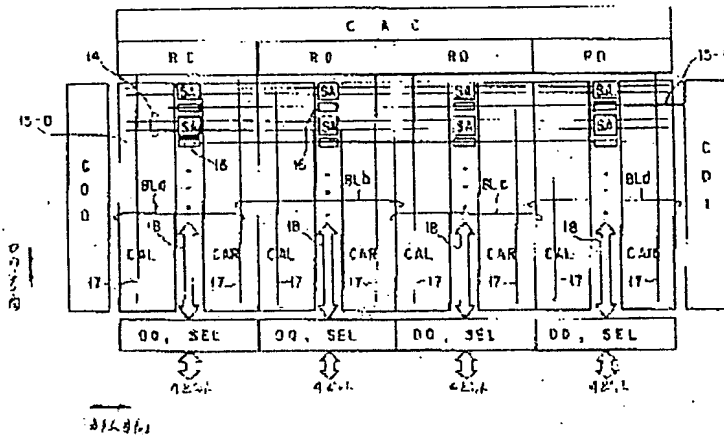
【図1】



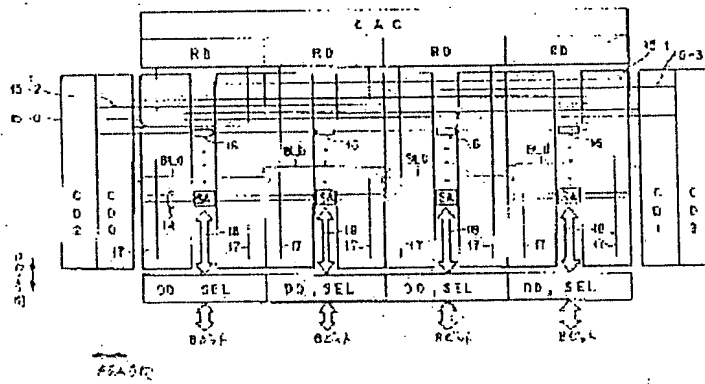
【図3】



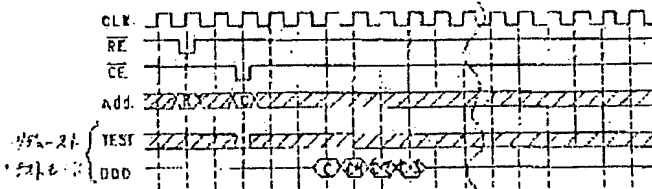
(2)



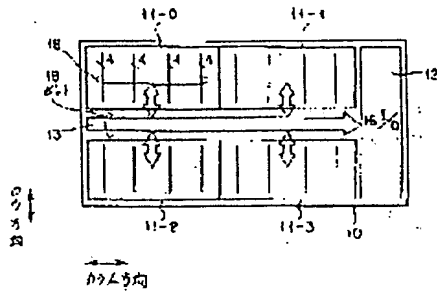
(4)



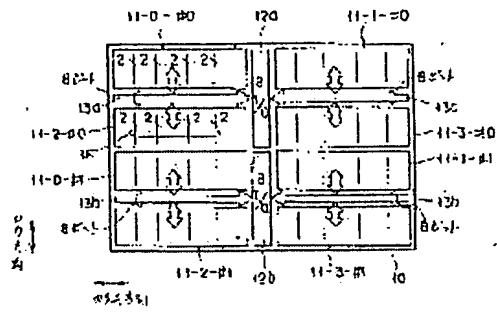
(19)



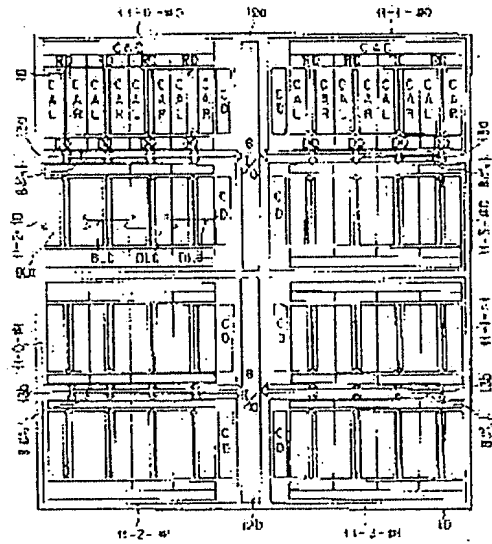
【図5】



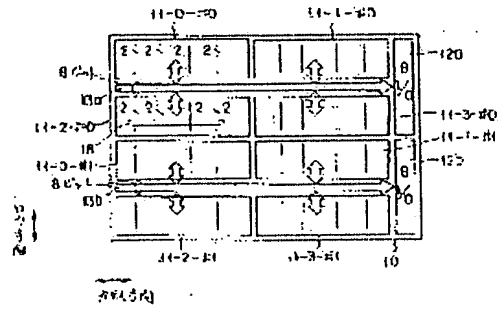
【図6】



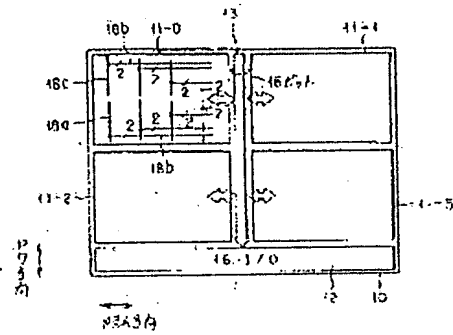
【図7】



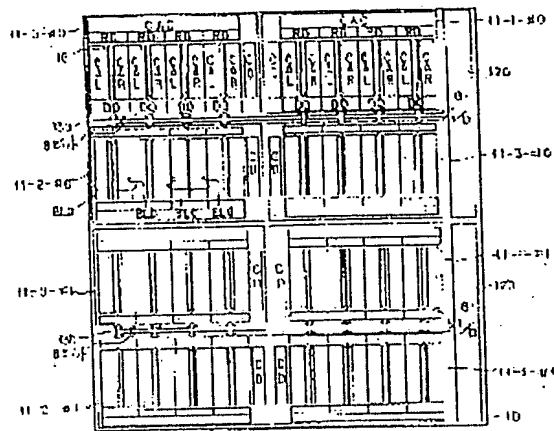
【図8】



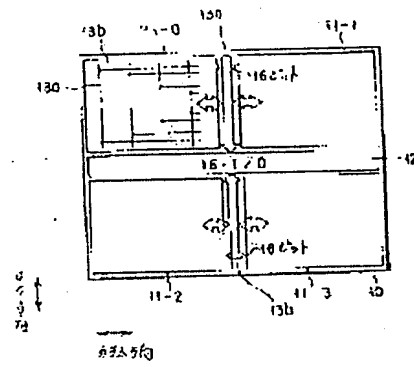
【図9】



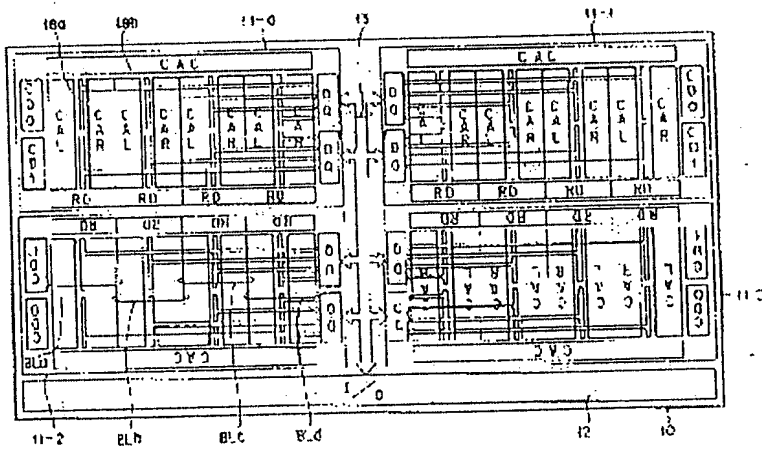
【図 9】



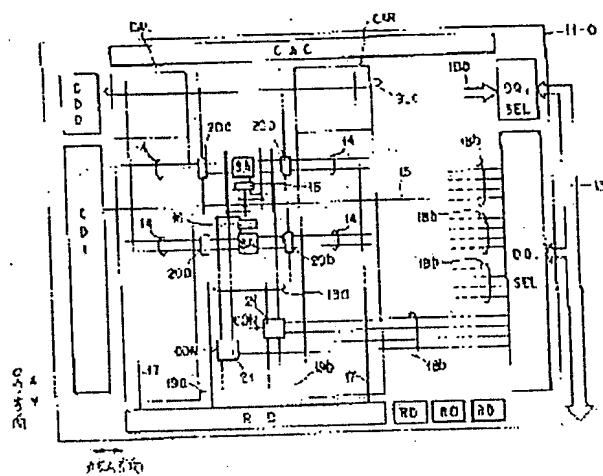
【図 23】



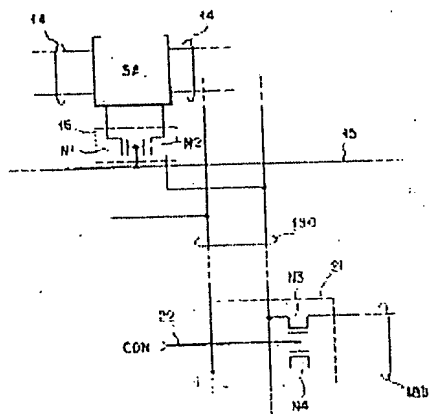
【図 10】



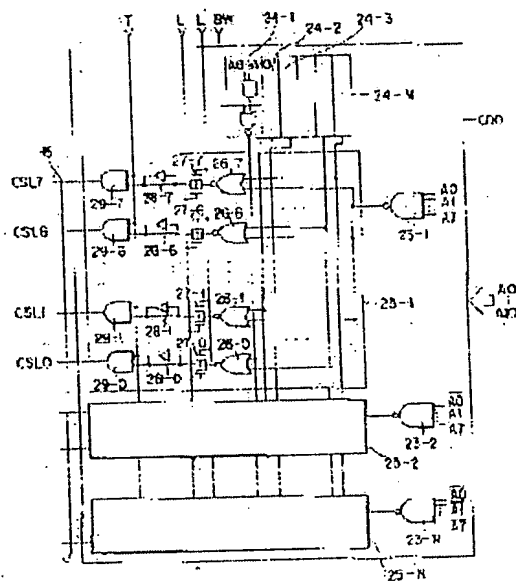
【图 1-1】



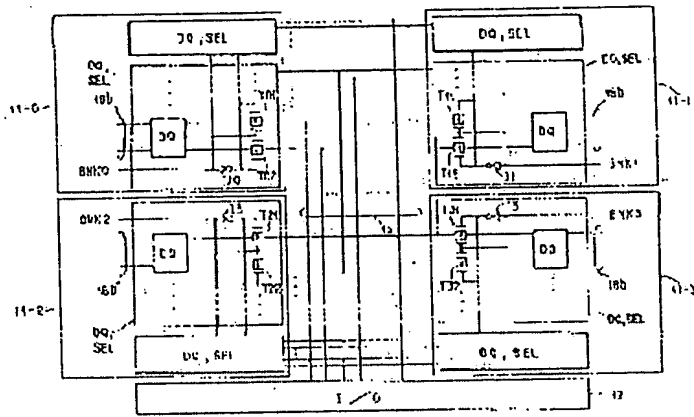
【圖 12】



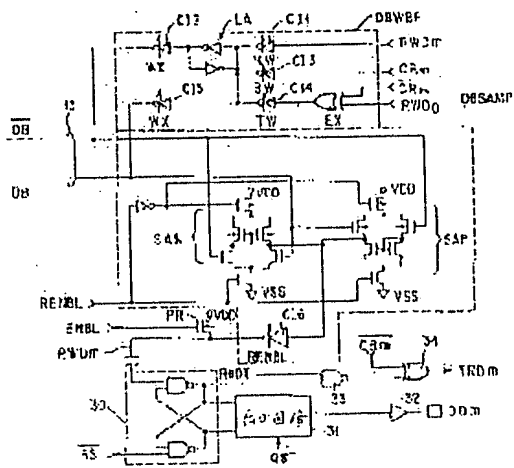
{ 57 1 3 }



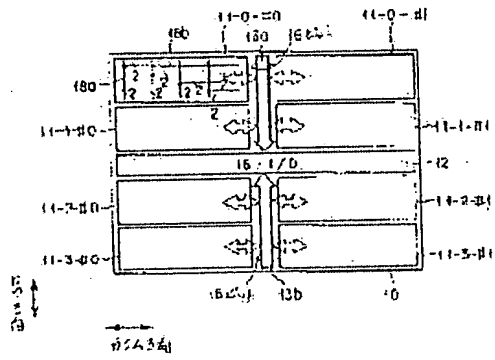
【圖 14】



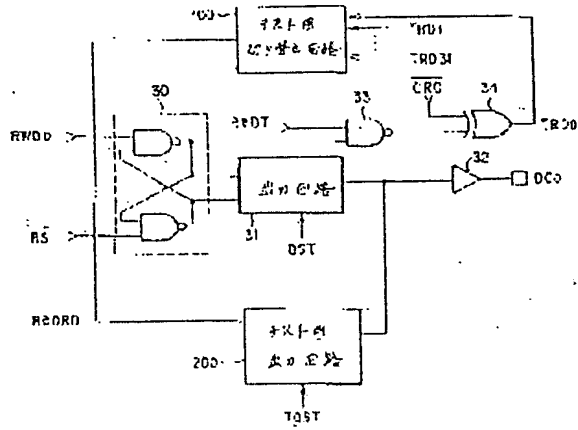
【圖 15】



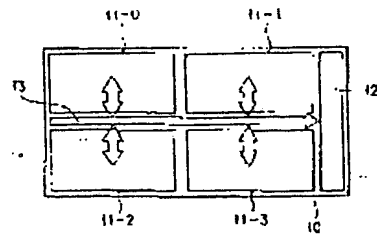
【圖 26】



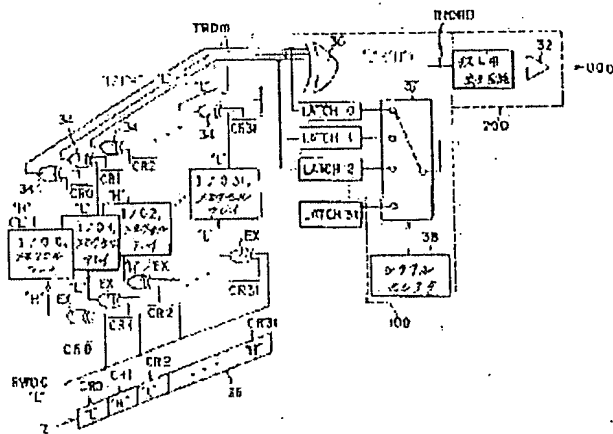
【図 16】



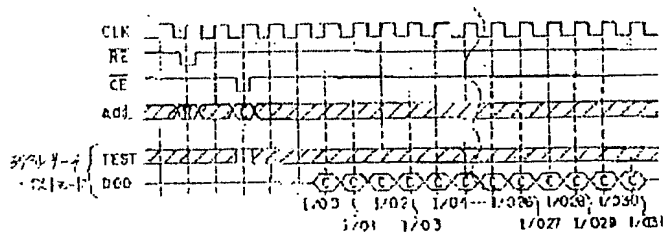
【図 37】



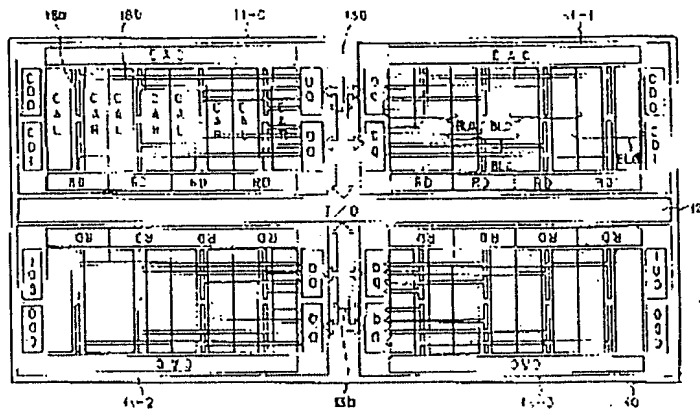
【図 17】



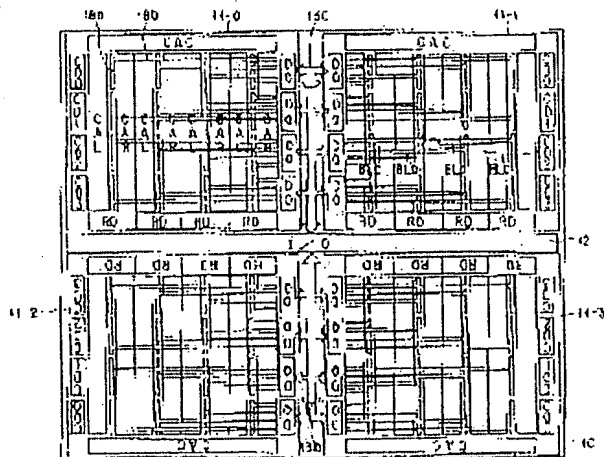
【図 20】



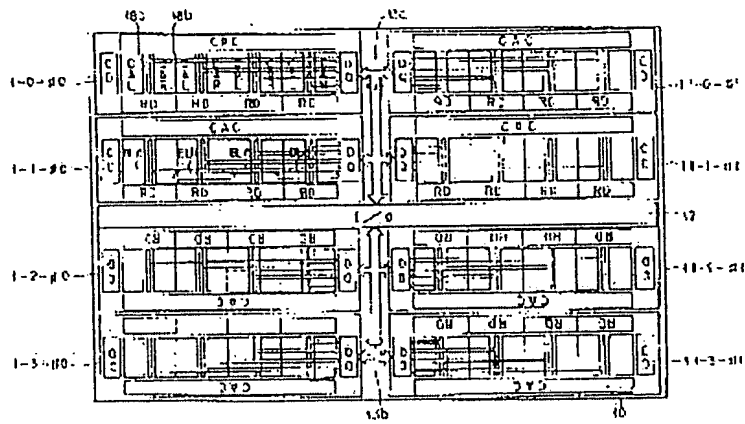
【圖24】



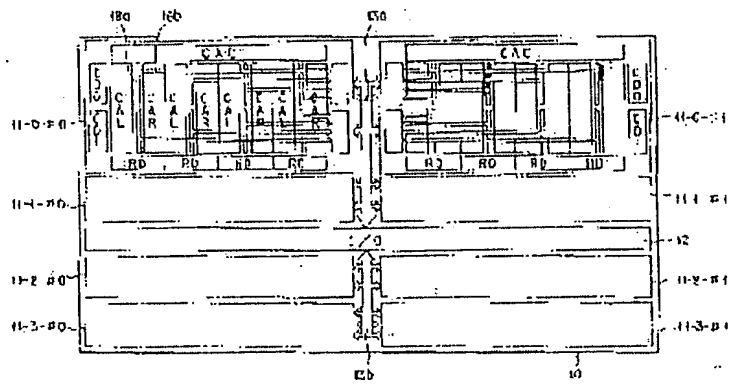
【圖 25】



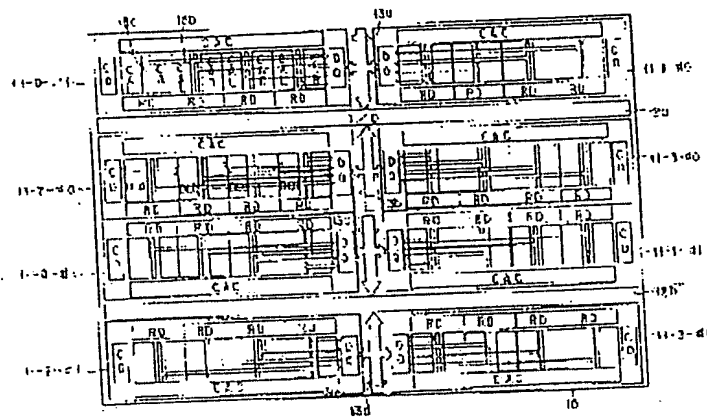
[27]



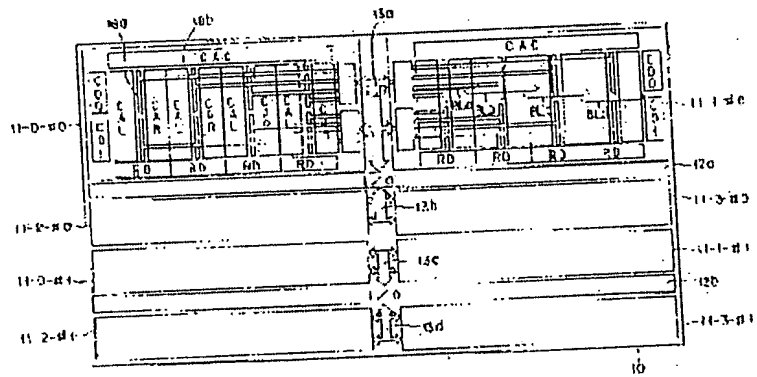
[28]



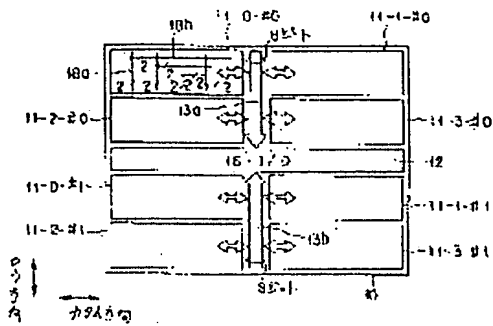
[圖 30]



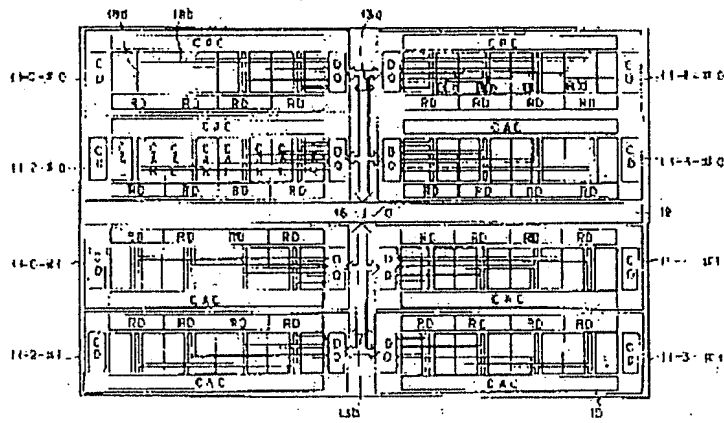
[圖 31]



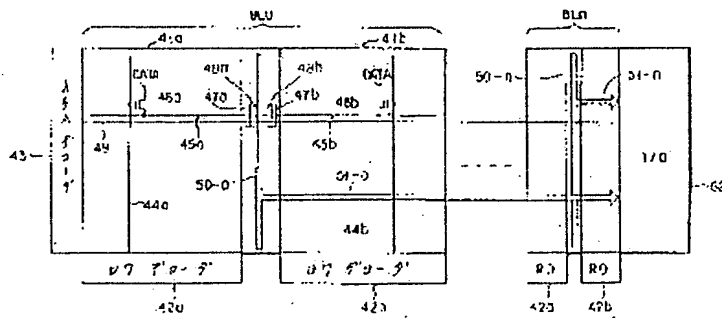
【図32】



【図33】



【図35】



The floor plan shows a symmetrical layout with a central corridor (10) running vertically. On the left side, there are rooms labeled 11-0-1, 11-2-1, 11-2-2, and 11-2-3. On the right side, there are rooms labeled 11-4-1, 11-4-2, 11-4-3, and 11-4-4. The top section contains a large hall (11-0-0) and several smaller rooms (11-0-1, 11-0-2, 11-0-3, 11-0-4). The bottom section contains a large hall (11-0-0) and several smaller rooms (11-0-1, 11-0-2, 11-0-3, 11-0-4). The plan is labeled with various room numbers and letters, and includes a scale bar at the bottom.

[illegible]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.